

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images;
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-330449

(43)公開日 平成11年(1999)11月30日

(51)Int.Cl.⁶
H 01 L 29/00
G 06 F 9/44
13/00
H 01 L 21/00

識別記号
F I
H 01 L 29/00
G 06 F 9/44
13/00
H 01 L 21/00

審査請求 未請求 請求項の数 5 OL (全 22 頁)

(21)出願番号 特願平10-138873

(22)出願日 平成10年(1998)5月20日

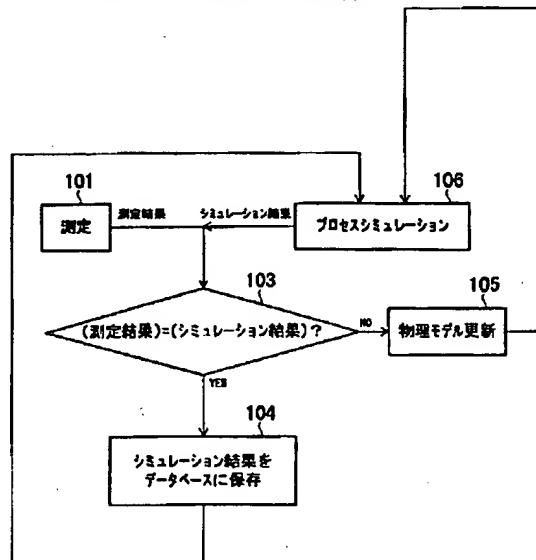
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 石原 貴光
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(72)発明者 松澤 一也
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(72)発明者 大脇 幸人
神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 半導体装置の製造方法、シミュレーション装置、シミュレーション方法、シミュレーションプログラムを記録した記録媒体、及びシミュレーション用データを記録した記録媒体

(57)【要約】

【課題】 半導体装置の製造プロセスやデバイス構造の設計に好適な高精度なシミュレーション技術を提供する。

【解決手段】 実際に製造した半導体装置の測定(ステップ101)の結果とシミュレーション(ステップ106)の結果とを比較し(ステップ103)、一致が悪ければシミュレーション用物理モデルを更新する(ステップ105)。測定値とシミュレーション値とが精度よく一致するまで物理モデルを更新する作業を繰り返し、最も精度よく一致した物理モデル、測定値及びシミュレーション値をデータベースに保存する(ステップ104)。このように構築されたデータベースに記録された製造工程、構造データと類似した構造データ、物理モデルを検索して、次に製造を予定している半導体装置のシミュレーション(ステップ106)を実行する。



1

【特許請求の範囲】

【請求項1】 次の各ステップからなる半導体装置の製造方法。

(イ) データベースを参照して、第1の半導体装置をシミュレーションするステップ

(ロ) 該シミュレーションの結果を用いて、前記第1の半導体装置を現実に製造するステップ

(ハ) 前記第1の半導体装置の構造及び特性の少なくとも一方を測定し、この測定結果と前記シミュレーションの結果とを比較するステップ

(ニ) 該比較により、前記測定結果と前記シミュレーションの結果との一致が良い場合は、前記シミュレーションの結果を前記データベースに追加保存するステップ

(ホ) 該追加保存により内容が書き換えられたデータベースを参照して、第2の半導体装置をシミュレーションするステップ

【請求項2】 半導体装置の各製造工程毎に、該製造工程で製造した半導体装置の構造及び特性の少なくとも一方の測定結果と、該半導体装置を製造するために用いたシミュレーション結果とを比較して得たデータを保持するデータベースと、

該データベースを参照し、選択された物理モデルを用いて、今後製造を予定している半導体装置の構造、不純物密度分布、電気的特性の内の少なくとも一つをシミュレーションするシミュレーション部と、

現実の半導体装置の構造及び特性の少なくとも一方を測定し、この測定結果と前記シミュレーションの結果とを比較するシミュレーション結果・測定結果比較手段と、前記比較により、前記測定結果と前記シミュレーションの結果との一致が所定の範囲内にない場合、他の物理モデルに物理モデルを更新するシミュレーション用物理モデル更新手段とを少なくとも有するシミュレーション装置

【請求項3】 次の各ステップからなるシミュレーション方法。

(イ) データベースの内容を参照して、半導体装置の構造、不純物密度分布、電気的特性の内の少なくとも一つをシミュレーションするステップ

(ロ) 該シミュレーションの結果と、現実に製造した半導体装置の構造及び特性の少なくとも一方の測定結果とを比較するステップ

(ハ) 該比較による一致が一定範囲内にない場合は、前記シミュレーションの条件を変更して前記シミュレーションをやりなおすステップ

(ニ) 前記比較による一致が良好場合は、前記シミュレーションの結果を前記データベースに追加保存するステップ

【請求項4】 シミュレーション装置を動作させるための、次の各ステップからなるシミュレーションプログラムを記録した記録媒体。

2

(イ) データベースを検索して、特定の情報を抽出するステップ

(ロ) 該抽出された特定の情報を用いて、半導体装置の構造、不純物密度分布、電気的特性の内の少なくとも一つをシミュレーションするステップ

(ハ) 該シミュレーションの結果と現実の半導体装置の構造及び特性の少なくとも一方の測定結果とを比較するステップ

(ニ) 該比較による一致が一定範囲内にない場合は、前記シミュレーションの条件を変更して前記シミュレーションをやりなおすステップ

(ホ) 前記比較による一致が良好場合は、前記シミュレーションの結果を前記データベースに追加保存するステップ

【請求項5】 シミュレーション実行の際に検索・抽出されるデータが記録され、前記シミュレーションの結果と現実の半導体装置の特性の測定結果との比較における一致が良好な場合は、前記シミュレーションの結果がその内容に追加保存されるデータベースを記録した記録媒体であって、

該データベースはプロセスデータベース・ファイルとデバイスデータベース・ファイルに記録され、前記プロセスデータベース・ファイルは、各製造工程毎にソートされた複数の製造工程サブ・ファイルに記録され、該複数の製造工程サブ・ファイル及び前記デバイスデータベース・ファイルは、それぞれ、前記測定結果記録領域、前記シミュレーションの結果記録領域、シミュレーション用入力ファイル記録領域とを少なくとも具備することを特徴とするシミュレーション用データを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はLSI等の半導体装置の製造技術に係り、特に半導体装置の具体的な製造プロセスに先立ち、半導体装置(デバイス)の構造、不純物密度、電気的特性等を設計・評価するシミュレーション技術、及びこのシミュレーション技術を実行させるためのプログラムを格納したコンピュータ読み取り可能な記録媒体、シミュレーション用データを記録した記録媒体、さらには、これらのシミュレーション技術を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】最近のLSI等の半導体集積回路の集積密度の増大に伴い、その開発コストが急増し、半導体集積回路等の半導体装置の低コスト化、開発の高効率化が求められている。このため、半導体集積回路等の半導体装置の設計・開発に際しては定量的な予測能力を持つシミュレーションを行い、時間、材料、電力や労力を削減することができます重要な性質を増してきている。このような半導体装置の設計・開発においては、主に2つのシミ

3

ュレーション技術が用いられる。即ち、半導体装置の一連の製造工程を所定の物理モデルに基づいて計算し、実際に作ろうとしている半導体装置中の不純物や欠陥の分布、あるいはその半導体装置の構成要素の幾何学的形状等を前もって決めるプロセスシミュレータ（プロセスシミュレーション装置）と、所定の物理モデルに基づいて半導体装置の電気的な特性を前もって計算するデバイスシミュレータ（デバイスシミュレーション装置）とが代表的なシミュレータとして用いられている。

【0003】LSIの開発における実際の作業としては、まず、所定の特性仕様に対して概略のデバイス構造の選択や設計がなされる。そしてこの概略のデバイス構造を実現するためのプロセス設計をするためのプロセスシミュレーションがなされる。このプロセスシミュレーションは、原料とそれに施す製造手順と、その製造手順における個々の工程条件を入力として与え、その製造工程で形成される不純物分布やその他の素子構造を計算する。次に、こうして得られた素子構造と外部から素子に印加する電気的な条件とを入力として、その素子の電気的な特性を得るデバイスシミュレーションを行う。デバイスシミュレーションにより、得られた特性が作ろうとしている所望の特性になるかどうかを調べ、所望の特性であれば、次に実際の半導体装置の製造工程に取りかかる。もし、ここで、所望の特性にならないときには、考えた製造工程では作りたい素子は作れないで、製造工程の条件を変更したり、工程の順番など手順そのものを変更したりして再度プロセスシミュレーションと、このプロセスシミュレーションの結果を入力データとするデバイスシミュレーションを行う。以上の作業を所望の特性を有する素子の製造工程が得られるまで繰り返し行って、半導体装置の製造方法を決定し、所望の半導体装置を実際に製造する。

【0004】しかし、このプロセス・デバイスシミュレーションにおいては、大きく分けて二つ問題点がある。この問題点を以下に説明する。

【0005】（問題点1）一つは、プロセスシミュレーション及びデバイスシミュレーションの精度がシミュレータの中で用いている物理モデルの精度に依存していることである。

【0006】（イ）まず、プロセスシミュレーションについて説明する。通常のプロセスシミュレーションに用いるプロセスモデルは、ある制限された条件の中で行われた実験結果をもとに作られているので、そのモデルをシミュレータに組み込むにあたって、物理モデルの適用範囲に注意する必要がある。例えば、酸化工程をモデリングする場合、次のような効果が重要となる。すなわち、

- ・酸化速度の酸素分圧依存性、
- ・基板不純物密度依存性、
- ・基板面方位依存性、あるいは

4

・LOCOS工程のバーズピークの影響を考慮するための二次元酸化モデルなどである。しかし、実際にはこれらの効果を全て考慮することは難しく、必要に応じて適切な物理モデルを採用するという手法をとる。このような場合、採用された物理モデルに含まれていない効果が重要となる場合には、プロセスシミュレーションの精度が低下することになる。

【0007】（ロ）一方、デバイスシミュレーションでは、概略、流体モデルと粒子モデルとが知られている。流体モデルは、移動度モデルを基礎としている。この場合、製造する素子のサイズが小さくなるにつれ、移動度モデルが成り立たなくなってくるため、流体モデルでは精度が低下するので、粒子モデルを適用するのが適切である。粒子モデルは、ボルツマン方程式により忠実であるため、微細デバイスの解析に流体モデルよりも適している。しかし、粒子モデルを使用する場合、膨大な数の個々の粒子の運動をシミュレーションするため、計算時間が大きくなる。例えば、取り扱うべき粒子の数はデバイス寸法が増加するに従い増すため、粒子モデルによるデバイスシミュレーションは長チャネルデバイスには実用上向いていない。従って、長チャネルデバイスの解析には流体モデルを用い、短チャネルデバイスの解析には、粒子モデルを用いる方法が有効である。しかし、長チャネルデバイスから短チャネルデバイスへと移り変わる領域では、流体モデルを用いるべきか、粒子モデルを用いるべきか、を判断する基準がない。

【0008】このような領域では、計算精度と計算時間について最適な物理モデルを選択するという方法を用いれば、効率がよい。従って、流体モデルと粒子モデルを必要に応じて使い分けることになるが、どちらの物理モデルを用いるべきかを決める基準がないために、流体モデルを適用可能な領域に粒子モデルを適用して、コンピュータの計算時間を浪費したり、粒子モデルを適用すべき領域に流体モデルを適用して計算精度を低下させたりして効率の悪いシミュレーションを実行してしまう可能性がある。

【0009】以上説明したように、プロセスシミュレーション及びデバイスシミュレーションを実行する場合、用いている物理モデルが計算時間・精度の点で必ずしも最適でないため、効率の悪いシミュレーションを実行してしまい、デバイスの開発効率を低下されてしまうという問題がある。

【0010】（問題点2）一方、実際の半導体装置の製造工程においては、製造歩留まりやMOSFETのゲートしきい値電圧のばらつき、バイポーラトランジスタ（BJT）の電流増幅率 h_{FE} のばらつきなど、製造工程、特に大量生産レベルの製造工程に伴って発生する欠陥がデバイスの動作特性に大きく影響する。これらは、製造工程や製造装置固有の要因によるため、上述した従

5

来的プロセス・デバイスシミュレーションにおいては、予測することができない。従って、このプロセス・デバイスシミュレーションによって決定された製造方法によって実際に半導体装置を製造したとしても、必ずしも所望の電気的特性や歩留まり等が得られるとは限らない。また、大量生産レベルで問題になるようなMOSFETのゲートしきい値電圧のばらつき、BJTの電流増幅率 h_{fe} のばらつき、あるいは製造歩留まりなどは、結局大量生産または、これに類似はある程度大量な半導体ウェハを用いたプロセスをスタートさせなければ判断できない。したがって、多大な時間、原材料、電力、人件費等を消費した後の統計処理において不都合が判明する状況が発生する。

[0011]

【発明が解決しようとする課題】このように、従来のプロセスシミュレーション及びデバイスシミュレーションではシミュレーション装置に組み込まれている物理モデルの妥当性を決める基準が必ずしも明確でないので、本来その物理モデルを適用すべきでない場合に適用してしまい、シミュレーションの効率を低下させてデバイスの開発効率を低下させる問題がある。

【0012】また、半導体装置の電気的特性のロット毎、ウェハ毎等のばらつき、あるいは製造歩留まりなどは、ある程度大量の半導体ウェハを用いたプロセスを実際にスタートさせなければ判断できないという問題点を有していた。

【0013】上記問題点を鑑み、本発明は、新型デバイスや新型構造等の採用時等において特に問題となるよう、採用する物理モデルの選択が困難な場合であっても、物理モデルの選択及び変更を迅速且つ適切に行い、短時間且つ効率的に高精度な半導体を製造し、開発、改良することが可能な半導体装置の製造方法を提供することである。

【0014】本発明の他の目的は、大量生産に伴い生じる製造歩留まりやゲートしきい値電圧のばらつきといったプロセスばらつきを、実際に半導体装置を製造しなくても見積もることができる半導体装置の製造方法を提供することである。

【0015】本発明の更に他の目的は、採用する物理モデルの選択及び変更が迅速且つ適切で、効率的に高精度な結果を得ることができる半導体シミュレーション装置を提供することを目的とする。

【0016】本発明の更に他の目的は、製造歩留まりやプロセスばらつきを、実際に半導体装置を製造しなくても見積もることができる半導体シミュレーション装置を提供することである。

【0017】本発明の更に他の目的は、採用する物理モデルの選択及び変更が迅速且つ適切で、効率的・高精度な半導体シミュレーション方法を提供することである。

【0018】本発明の更に他の目的は、製造歩留まりや

6

プロセスばらつきを、実際に半導体装置を製造しなくても見積もることができる半導体シミュレーション方法を提供することである。

【0019】本発明の更に他の目的は、計算時間が短く、効率的に高精度な結果を得ることができる半導体シミュレーションプログラムを格納したコンピュータ読み取り可能な記録媒体を提供することである。

【0020】本発明の更に他の目的は、製造歩留まりやプロセスばらつきを、実際に半導体装置を製造しなくても見積もることができる半導体シミュレーションプログラムを格納したコンピュータ読み取り可能な記録媒体を提供することである。

【0021】本発明の更に他の目的は、高速・高効率・高精度な半導体シミュレーションの実行に必要なデータベースを格納したコンピュータ読み取り可能な記録媒体を提供することである。

【0022】本発明の更に他の目的は、製造歩留まりやプロセスばらつきを、実際に半導体装置を製造しなくても見積もることができる半導体シミュレーションの実行に必要なデータベースを格納したコンピュータ読み取り可能な記録媒体を提供することである。

[0023]

【課題を解決するための手段】上記目的を達成するため、本発明の第一の特徴は、(イ)データベースを参照して、これから造ろうとする第1の半導体装置をシミュレーションするステップ；(ロ)このシミュレーションの結果を用いて、第1の半導体装置を現実に製造するステップ；(ハ)第1の半導体装置の構造及び特性の少ないものを作り出す、この型を複数作ること。

（一）一方を測定し、この測定結果とシミュレーションの結果とを比較するステップ；（二）比較により、測定結果とシミュレーションの結果との一致が良い場合は、シミュレーションの結果をデータベースに追加保存するステップ；（三）この追加保存により内容が書き換わる

データベース(?)との連携軟件により各部が音と映えられた新たなデータベースを参照して、第2の半導体装置をシミュレーションするステップとから少なくともなる半導体装置の製造方法であることである。ここで、「データベース」には、MOSFET等の半導体装置の各製造工程毎の基板の不純物密度やソース／ドレイン領域の

接合深さ等の構造データと、それらのプロセスシミュレーション結果、および、一連の製造工程を経て作成された半導体装置の電気的特性の測定結果とそのデバイスミュレーション結果が含まれる。さらに、その半導体装

置製造に伴って発生した製造歩留まりや、MOSFETのゲートしきい値電圧ばらつき等のようなプロセスのばらつきのデータなどを、「データベース」として含ませることが好ましい。製造歩留まりやゲートしきい値電圧ばらつき等のようなプロセスのばらつきのデータベースを構築しておけば、実際に半導体装置を製造する前に、製造工程の改善が可能となるからである。すなわち、半

50 薬体装置の二連の製造工程のフロー (以後「プロセス

ロー」と呼ぶ)を、過去に実施したプロセスフローと比較して、最も類似している過去の製造工程を検索し、検索した製造工程でのプロセスのばらつきをもって、所望の「プロセスのばらつき」の見積とすることが可能となる。

【0024】特に、本発明の第一の特徴は、シミュレーションに複数の物理モデルが係わり、そのうちどの物理モデルを採用するかの判断に迷うような状況に好適である。この場合の本発明の第一の特徴に係る半導体装置の製造方法は、まず、複数の物理モデルを用意し、統いて、(イ) データベースを参照して、この複数の物理モデルの内から特定の物理モデルを選択し、選択した物理モデルを用いて、これから造ろうとする第1の半導体装置をシミュレーションするステップ；(ロ) このシミュレーションの結果を用いて、第1の半導体装置を現実に製造するステップ；(ハ) 完成した第1の半導体装置の構造及び特性の少なくとも一方を測定し、この測定結果とシミュレーションの結果とを比較するステップ；

(ニ) この比較により、測定結果とシミュレーションの結果との一致が良好な場合は、選択した物理モデル及びシミュレーションの結果をデータベースに追加保存するステップ；及び(ホ) この追加保存により内容が書き換えられたデータベースを参照して、複数の物理モデルの内から特定の物理モデルを選択し、選択した物理モデルを用いて第2の半導体装置をシミュレーションするステップとから少なくとも構成することが好ましい。なお、この場合は、プロセスフローを形成しているある特定の製造工程が单一の物理モデルしか存在しない場合を排除するものではない。プロセスフローを構成している他の製造工程のいずれか一つが複数の物理モデルに係われば、本発明は適用可能である。また、プロセスフローを形成しているすべての製造工程が单一の物理モデルしか存在しない場合であっても、デバイスシミュレーションが複数の物理モデルに係われば、本発明は適用可能である。すなわち、複数の個別のシミュレーションの集合の場合は、その内のいずれかの個別のシミュレーションにおいて、複数の物理モデルの内から特定の物理モデルを選択し、選択した物理モデルを用いて演算するステップが含まれれば、本発明は適用可能である。特に、複数の物理モデルは、最適物理モデルとして採用された回数(使用頻度)に応じたヒストグラム等の形式で、「データベース」として保存しておくことが好ましい。最適物理モデルのヒストグラムを「データベース」として保存しておけば、次回のシミュレーション時に、使用頻度の高い物理モデルからシミュレーションに採用することができ、物理モデルの検索・選択が容易となる。そして、測定結果とシミュレーションの結果との一致が悪ければ、ヒストグラムを再び参照して、次に使用頻度の高い物理モデルとして保存されている物理モデルを採用するようにすればよい。このように、「データベース」とし

て保存されたヒストグラムを参照して、採用する物理モデルを次々と更新することにより、迅速に、精度の高いシミュレーションの結果を得ることが可能となる。

【0025】すなわち、本発明の第一の特徴によれば、半導体装置の各製造工程毎にプロセスシミュレーション結果と測定結果とを比較し、及び／又は、完成した半導体装置の電気的特性とデバイスシミュレーション結果とを比較することにより、データベースを構築し、このデータベースを用いて、シミュレーション装置に内蔵されている物理モデルの信頼性を検証し、最も信頼度の高い物理モデルを選択することが出来るので、高精度なシミュレーションが可能となる。

【0026】半導体装置の各製造工程毎の測定は、半導体ウェハ上に配置されたTEG(テスト・エレメント・グループ: Test Element Group)パターンを用いても良く、単独のプロセス評価用試料を製造して測定しても良い。プロセスのばらつきのデータベースは、半導体チップ上の、それぞれの半導体装置について、各チップ毎、各ウェハ毎、各ロット毎にそれぞれ測定し、測定されたデータを整理して、構造パラメータのそれぞれ異なる半導体装置について保存しておくようにすればよい。

【0027】本発明の第二の特徴は、半導体装置の各製造工程毎に、過去に製造した半導体装置の構造及び特性の少なくとも一方の測定結果と、この過去に製造した半導体装置を製造するために用いたシミュレーション結果とを比較して得たデータを保持するデータベースと、このデータベースを参照し、選択された物理モデルを用いて、今後製造を予定している半導体装置の構造、不純物密度分布、電気的特性の内の少なくとも一つをシミュレーションするシミュレーション部と、現実の半導体装置の構造及び特性の少なくとも一方を測定し、この測定結果とシミュレーションの結果とを比較するシミュレーション結果・測定結果比較手段と、この比較により、測定結果とシミュレーションの結果との一致が所定の範囲内にない場合は、他の物理モデルに物理モデルを更新するシミュレーション用物理モデル更新手段とを少なくとも有するシミュレーション装置であることである。

【0028】ここで、「データベース」には、第一の特徴で述べたように、半導体装置の各製造工程毎のプロセスデータと、それらのプロセスシミュレーション結果、および、プロセスフローを経て作成された半導体装置の電気的特性の測定結果とそのデバイスシミュレーション結果、および、その半導体装置製造に伴って発生した製造歩留まりやゲートしきい値電圧ばらつき等のようなプロセスばらつきのデータなどが保存される。さらに、このデータベースには、複数の物理モデルを整理して保存しても良い。例えば、複数の物理モデルは、最適物理モデルとして採用された回数(使用頻度)に応じたヒストグラム等の形式で、データベースに保存しておいてもよい。最適物理モデルのヒストグラムをデータベースに保

存する場合には、このデータベースの内容を参照して、複数の物理モデルの内から特定の物理モデルを、自動的に選択する選択回路を、さらに追加しても良い。

【0029】本発明の第二の特徴におけるシミュレーション部は、半導体装置のプロセスフローを所定の物理モデルに基づいて計算し、実際に作ろうとしている半導体装置中の不純物や欠陥の分布、あるいはその半導体装置の構成要素の幾何学的形状等を前もって決めるプロセスシミュレータ、及び所定の物理モデルに基づいて半導体装置の電気的な特性を前もって計算するデバイスシミュレータの少なくとも一方であることが好ましい。

【0030】本発明の第二の特徴のシミュレーション装置は、操作者からのデータや命令などの入力を受け付ける入力部、シミュレーション結果や精度検証結果を出力する出力部、シミュレーションに必要な所定のデータなどを格納したデータ記憶部や、シミュレーションプログラムなどを格納したプログラム記憶部等を、更に具備していくても良いことは勿論である。

【0031】すなわち、本発明の第二の特徴によれば、半導体装置の各製造工程毎の構造データの測定結果とシミュレーション結果とを比較することにより、あるいは、完成した半導体装置の電気的な特性の測定結果とシミュレーション結果とを比較することにより、シミュレーションに用いる物理モデルの信頼性を検証し、最も信頼度の高い物理モデルを選択することを容易にするので、高精度なシミュレーションが迅速に可能となる。

【0032】本発明の第三の特徴は、(イ) データベースの内容を参照して、半導体装置の構造、不純物密度分布、電気的特性の内の少なくとも一つをシミュレーションするステップ；(ロ) シミュレーションの結果と、現実に製造した半導体装置の構造及び特性の少なくとも一方の測定結果とを比較するステップ；(ハ) この比較による一致が一定範囲内にない場合は、シミュレーションの条件を変更してシミュレーションをやりなおすステップ；(ニ) 一方、比較による一致が良好の場合は、シミュレーションの結果をデータベースに追加保存するステップを少なくとも有するシミュレーション方法であることである。今回のシミュレーションにおいては、この追加保存により内容が書き換えられた最新のデータベースを参照して、半導体装置の構造、不純物密度分布、電気的特性の内の少なくとも一つをシミュレーションすることになる。

【0033】ここで、「データベース」には、第一の特徴で説明したような、半導体装置の各製造工程毎の構造データと、それらのプロセスシミュレーション結果、および、作成された半導体装置の電気的特性の測定結果と、そのデバイスシミュレーション結果、および、プロセスばらつきのデータなどが含まれる。プロセスのばらつきのデータベースを構築しておけば、過去に実施したプロセスフローと比較して、最も類似している過去の製

造工程を検索し、検索した製造工程でのプロセスのばらつきをもって、所望の「プロセスのばらつき」の見積とすることが可能となる。このように、本発明の第三の特徴を利用すれば、実際に半導体装置を製造する前に、プロセスばらつきを予め予測することが可能になる。このように、プロセスばらつきを予め予測することができるるので、プロセス設計の改良が容易になる。

【0034】特に、本発明の第三の特徴は、シミュレーションに複数の物理モデルが係わり、そのうちどの物理モデルを採用するかの判断に迷うような状況に好適である。この場合の本発明の第三の特徴に係るシミュレーション方法は、まず、複数の物理モデルを用意し、複数の物理モデルの内から、データベースを参照して、特定の物理モデルを選択し、この選択された物理モデルを用いて、半導体装置のシミュレーションをすればよい。そして、シミュレーションの結果と、現実に製造した半導体装置の測定結果との比較をして、両者の一致が一定範囲内にない場合は、別の物理モデルに変更してシミュレーションをやりなおせばよい。また、一致が良好の場合には、選択した物理モデルを、シミュレーションの結果と共にデータベースに追加保存し、データベースの内容を書き換えるべき。なお、複数の個別のシミュレーションの集合の場合は、その内のいずれかの個別のシミュレーションにおいて、複数の物理モデルの内から特定の物理モデルを選択し、選択した物理モデルを用いて演算するステップが含まれれば、上記方法は適用可能である。例えば、プロセスフローを形成しているある特定の製造工程が单一の物理モデルしか存在しない場合であっても、他の製造工程のいずれか一つが複数の物理モデルに係われば、本発明は適用可能である。特に、複数の物理モデルは、最適物理モデルとしてシミュレーションに採用された回数(使用頻度)に応じたヒストグラム等の形式で、データベースの内容として保存しておくことが好ましい。最適物理モデルのヒストグラムをデータベースの内容として保存しておけば、次回のシミュレーション時に、使用頻度の高い物理モデルからシミュレーションに採用することができ、物理モデルの検索・選択が容易となる。そして、測定結果とシミュレーションの結果との一致が悪ければ、ヒストグラムを再び参照して、次に使用頻度の高い物理モデルとして保存されている物理モデルを採用するようにすればよい。このように、データベースの内容として保存されたヒストグラムを参照して、採用する物理モデルを次々と更新することにより、迅速に、精度の高いシミュレーションの結果を得ることが可能となる。

【0035】本発明の第四の特徴は、第二の特徴で述べたシミュレーション装置を用いて、第三の特徴で述べたシミュレーション方法を実行するためのプログラムを格納したコンピュータ読み取り可能な記録媒体であることである。すなわち、本発明の第三の特徴は、(イ) デー

タベースを検索して、特定の情報を抽出するステップ；(17)抽出された特定の情報を用いて、半導体装置の構造、不純物密度分布、電気的特性の内の少なくとも一つをシミュレーションするステップ；(18)このシミュレーションの結果と現実の半導体装置の構造及び特性の少なくとも一方の測定結果とを比較するステップ；(19)この比較による一致が一定範囲内にない場合は、シミュレーションの条件を変更して前記シミュレーションをやりなおすステップ；(20)一方、比較による一致が良好場合は、シミュレーションの結果をデータベースに追加保存するステップとから少なくともなるシミュレーションプログラムを格納したコンピュータ読み取り可能な記録媒体であることである。特に、上記(1)のステップは、複数の物理モデルの内から、データベースを参照して、特定の物理モデルを選択し、この選択された物理モデルを用いて、半導体装置のシミュレーションを行うことが好ましい。この場合、上記(19)のステップにおいて、一致が一定範囲内にない場合は、別の物理モデルに変更してシミュレーションをやりなおせばよい。また、上記(20)のステップにおいて一致が良好な場合には、選択した物理モデルを、シミュレーションの結果と共にデータベースに追加保存し、データベースの内容を書き換える。特に、複数の物理モデルは、最適物理モデルとしてシミュレーションに採用された回数(使用頻度)に応じたヒストグラム等の形式で、データベースの内容として保存するようなプログラムを構成しておくことが好ましい。この場合は、次回のシミュレーション時に、使用頻度の高い物理モデルからシミュレーションに採用するようにプログラムを構成しておけば、物理モデルの検索・選択が容易となる。

【0036】このように、第三の特徴で述べた半導体シミュレーション方法を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に保存し、この記録媒体をコンピュータシステムによって読み込ませることにより、本発明のシミュレーションを実行することができる。ここで、記録媒体とは、例えばコンピュータの外部メモリ装置、半導体メモリ装置、磁気ディスク装置、光ディスク装置、光磁気ディスク装置、磁気テープ装置などのプログラムを記録することができるような装置などを意味する。具体的には、フロッピーディスク、CD-ROM、MOディスク、カセットテープ、オーブンリールテープなどが含まれる。

【0037】このように、本発明の第四の特徴に係るシミュレーションプログラムを格納したコンピュータ読み取り可能な記録媒体により、コンピュータの処理制御部を制御しながら効率よく高精度な半導体シミュレーションを実現することができる。また、上記第一乃至第三の特徴で述べたデータベースを利用して実際の製造工程に伴って発生するプロセスばらつきをあらかじめ予測することができるため、半導体装置製造工程の改善を効率よ

く実行することが可能となる。その結果、高精度なシミュレーションを必要とする微細デバイスの開発効率が向上する。このコンピュータ読み取り可能な記録媒体には、更にこのデータベースをも格納しても良い。

【0038】本発明の第五の特徴は、第二の特徴で述べたシミュレーション装置を用いて、第三の特徴で述べたシミュレーション方法を実行するためのシミュレーション用データを記録した記録媒体に係る。即ち、シミュレーション実行の際に検索・抽出されるデータが記録さ

れ、このシミュレーションの結果と現実の半導体装置の特性の測定結果との比較における一致が良好な場合は、シミュレーションの結果がその内容に追加保存されるデータベースを記録した記録媒体であって、このデータベースはプロセスデータベース・ファイルとデバイスデータベース・ファイルに記録されている。このプロセスデータベース・ファイルの内容は、各製造工程毎にソートされた複数の製造工程サブ・ファイルに記録されている。そして、これらの複数の製造工程サブ・ファイル及びデバイスデータベース・ファイルは、それぞれ、測定結果記録領域、シミュレーションの結果記録領域、シミュレーション用入力ファイル記録領域とを少なくとも具備することを特徴とする。ここで、記録媒体とは、例えばコンピュータの外部メモリ装置、半導体メモリ装置、磁気ディスク装置、光ディスク装置、光磁気ディスク装置、磁気テープ装置などのデータベースを記録することができるような装置などを意味する。具体的には、フロッピーディスク、CD-ROM、MOディスク、カセットテープ、オーブンリールテープなどが含まれる。

【0039】特に、これらの複数の製造工程サブ・ファイル及びデバイスデータベース・ファイルの内部には、それぞれ、複数の物理モデルを整理したヒストグラム記録領域を更に具備することが好ましい。シミュレーションの度に、「最適物理モデル」としてそれぞれのシミュレーションに採用された回数を統計処理し、その使用頻度に応じたヒストグラムの形式で整理されたデータベースとして保存しておけばよい。最適物理モデルのヒストグラムをデータベースの内容として保存しておけば、次回のシミュレーション時に、使用頻度の高い物理モデルからシミュレーションに採用することができ、物理モデルの検索・選択が容易となる。そして、測定結果とシミュレーションの結果との一致が悪ければ、ヒストグラムを再び参照して、次に使用頻度の高い物理モデルとして保存されている物理モデルを採用することができる。

【0040】また、本発明の第五の特徴のデータベースは、「プロセスばらつきのデータベース」ファイルを、さらに有することが好ましい。プロセスのばらつきのデータベースを構築しておけば、過去に実施したプロセスフローと比較して、最も類似している過去の製造工程を検索し、検索した製造工程でのプロセスのばらつきをもって、所望の「プロセスのばらつき」の見積とすること

が可能となる。たとえば、MOSFETの場合には、プロセスばらつきのデータベース・ファイルは、製造歩留まりを保存した歩留まりデータのサブファイルとゲートしきい値電圧を保存したしきい値データのサブファイルにソートしておけばよい。BJTでは「プロセスばらつきデータベース」として電流増幅率 H_{FE} のばらつきや、エミッタ注入効率のばらつきのデータをサブファイルとしてソートしておけばよい。

【0041】

【発明の実施の形態】(第1の実施の形態) 本発明の第1の実施の形態においては、採用する物理モデルの精度を検証しながら実行するプロセスシミュレーション及びデバイスシミュレーションについて説明する。まず最初に、プロセスシミュレーションについて説明し、次にデバイスシミュレーションについて説明する。

【0042】[1. プロセスシミュレーション] 図1は本発明の第1の実施の形態に係るプロセスシミュレーションのフローチャートを示す。このプロセスシミュレーションにおいては、図2に示す精度検証機能を有したプロセスシミュレーション装置70を用いる。このプロセスシミュレーション装置70は、プロセスシミュレーション結果と実測値とを比較することによって、プロセスシミュレーションプログラムに組み込まれている物理モデルの精度を確認する精度検証方法を実行する機能手段を有した装置である。

【0043】装置70については後述することとして、まず、図1に示すフローチャートを用いて、この物理モデルの精度の検証方法について説明する。まず、プロセスフローに従って半導体装置を製造し、各製造工程毎にその構造データを測定する(ステップ101)。半導体装置の各製造工程毎の測定は、半導体ウェハ上に配置されたTEGパターンを用いても良く、単独のプロセス評*

$$C(x) = \frac{c(x)}{2} \cdot \operatorname{erfc}\left(\frac{a-y}{\sqrt{2\Delta x}}\right) \quad (1)$$

ここで、 $C(x)$ は、一次元の深さ方向の不純物分布、 erfc は、補誤差関数である。また、 Δx は、横方向散乱の標準偏差であり、深さ方向散乱(イオン注入したときのイオンの射影飛程)の標準偏差 ΔR_p 程度の大きさであるが、その比 $\Delta x / \Delta R_p$ は注入イオンの加速エネルギーや、イオン種の関数である。つまり、ボロン($^{11}B^+$)のようにターゲット原子のシリコン(Si)よりも質量の小さいイオンでは、横方向に散乱されやすい。例えば、40KeV乃至200KeVの実用的な加速エネルギーでは、ボロン($^{11}B^+$)の $\Delta x / \Delta R_p$ は1.25程度である。一方、砒素($^{75}As^+$)や燐($^{31}P^+$)のように注入イオンの質量がシリコン原子の質量よりも大きな場合は、横方向への散乱量が減り、 $\Delta x / \Delta R_p$ の値はそれぞれ、0.7及び0.87となる。なお、式

* 値用試料を製造して、それを測定しても良い。一方、各製造工程についてプロセスシミュレーションを実施し(ステップ106)、得られた現実の半導体装置の測定値(構造データ)と比較する(ステップ103)。次いで、シミュレーション結果と現実の半導体装置の測定値とがよく一致していれば、このプロセスシミュレーションで用いられていた物理モデルを採用することとし、シミュレーション結果と共にデータベースに保存する(ステップ104)。もし、シミュレーション結果の

10 精度が悪ければ、考えられる別の物理モデルに更新し。(ステップ105)、再度プロセスシミュレーションを行って(ステップ106)、再び測定値と比較する(ステップ103)。ここで、「現実の半導体装置の測定値(構造データ)」とは、例えば、酸化工程であれば酸化膜厚の測定値で、拡散工程であれば拡散深さの測定値で、エッチング工程ならば溝の深さの測定値である。つまり、各製造工程において半導体装置の構造に対して重要な意味を持つ所定の構造データである。

【0044】より具体的に、イオン注入工程を例にとり、複数の物理モデルの内から特定の物理モデルを選択した場合の、物理モデルの選択の適否判断について説明する。イオン注入工程では、注入不純物の分布を決めることが必要である。そのための方法として、大きく分けて三つの物理モデルに対応した三つの方法がある。

【0045】(a) 第一の方法(第一の物理モデル)は、注入不純物分布を表す関数を適切な仮定のもとに導くことである。例えば、注入不純物の横方向への拡散を考慮すると、注入不純物分布 $C(x, y)$ は次の式で表わされる。

【0046】

【数1】

$$C(x, y) = \frac{c(x)}{2} \cdot \operatorname{erfc}\left(\frac{a-y}{\sqrt{2\Delta x}}\right) \quad (1)$$

※(1)は、一例であり、他にも適当な仮定の下で様々な解析式が採用されることは勿論である。

【0047】この方法によれば、注入不純物分布は式(1)等の様々な解析関数により容易に求めることができる。しかし、解析関数が導かれた仮定が成り立たないような場合には適用できないので、適用範囲が狭くなる。

【0048】(b) 第二の方法(第二の物理モデル)は、注入原子の運動を輸送問題に置き換え、ボルツマン方程式を解く方法である。この方法の利点は、阻止能の異なる積層膜へのイオン注入分布も正確に求められることである。さらに、注入イオンによってたたき出された基板原子に対しても同様なボルツマン輸送方程式を用いることによって、それらたたき出された原子の分布を求

めることも可能である。しかし、ボルツマン輸送方程式に基づく計算の欠点は、メモリと計算時間が膨大になることである。

【0049】(c) 第三の方法（第三の物理モデル）は、モンテカルロ法である。この方法は、個々の衝突過程ごとに乱数を発生させてターゲットのシリコン原子との相対位置、すなわち衝突パラメータを決定し、その値のもとで注入イオンの散乱を計算していくものである。この方法によれば、複雑な積層膜を通したイオン注入分布を正確に計算することができる。しかし、高精度な分布を得るために数多くの粒子（注入イオン）の軌道を計算する必要があり、計算時間が膨大になる。

【0050】これら三つの方法（物理モデル）のうち、第一、第二、第三の方法（物理モデル）の順で計算精度が向上するものの、計算は次第に複雑になり、計算時間がより長くなる。したがって、通常は、初めから難しい計算をするのではなく、まず第一の方法を適用する。既に述べたように、この第一の方法で用いられる解析式は上述の（1）式に限られることはない。注入不純物分布を表す適切な解析式であれば、他の種々の解析式を採用できる。これら解析式のうちで最も測定値とあうものを選択することになる。もし、第一の方法では精度が向上しない場合、第二の方法を用いる。第二の方法で精度が向上しなければ第三の方法を用いる。このような手順により、測定値を最も精度よく再現する方法（物理モデル）を選択することができる。

【0051】ここでは、イオン注入工程を例にとり説明したが、他の製造工程についても同様な手順を行えばよい。このようにして、複数の物理モデルの内から、最も精度のよい物理モデルを選択したら、この最もよい精度を与えるプロセスシミュレーション結果および用いた物理モデルをデータベースに保存して（ステップ104）、このデータベースの内容を次の製造工程についての精度検証の入力とする。

【0052】このような精度検証を、半導体装置を製造するための、堆積工程／エッチング工程／イオン注入工程／酸化工程／拡散工程などからなる一連の半導体装置製造工程のうちの各製造工程について行う。この際、それぞれの製造工程で、複数の物理モデルの内から、最も精度のよいプロセスシミュレーション用物理モデルを選択する。例えば、MOSFETの製造工程であれば、MOSFETの各製造工程について用意されたデータベースに、ソース領域及びドレイン領域等の接合深さ、基板の不純物密度もしくはウェルの不純物密度、ゲート酸化膜厚、ゲート長、あるいはゲート幅等のパラメータ毎に整理して、構造データとして保存する（ステップ104）。このように、プロセスシミュレーション装置によって計算された最もよい精度を与える構造データから構築されたデータベースを以後、「プロセスデータベース」と呼ぶ。このデータベースには、各製造工程をモデ

リングするのに必要な物理モデルも格納されている。

【0053】次に、図2に示した本発明のプロセスシミュレーション装置70を説明する。このプロセスシミュレーション装置70は、採用した物理モデルの精度検証機能を有した装置であり、操作者からのデータや命令などの入力を受け付ける入力部71と、図1のフローチャートに示した一連の精度検証方法を実行するための機能手段を備えた処理制御部74と、精度検証結果を出力する出力部79と、半導体装置製造プロセスに必要な所定のデータなどを格納したデータ記憶部72と、図1のフローチャートに従った精度検証を伴ったプロセスシミュレーションプログラムなどを格納したプログラム記憶部73と、各種の物理モデル、シミュレーション結果及び現実の半導体装置の測定結果等を保存してあるデータベース78とから少なくとも構成されている。

【0054】ここで、一連の精度検証方法を実行する機能手段としては、プロセスシミュレーション部20、シミュレーション結果・測定結果比較手段76、プロセスシミュレーション用物理モデル更新手段77等があり、

20 処理制御部74はこれらの機能手段20、76、77を少なくとも具備している。シミュレーション結果・測定結果比較手段76は、データベース78に保存されている測定結果とプロセスシミュレーション部20で求められたシミュレーション結果とを比較することによって、現在プロセスシミュレーション部20が実行している物理モデルの精度を検証する。もし、精度が所望の値に達していないければ、プロセスシミュレーション用物理モデル更新手段77によって、データベース78から物理モデルを選択し、何らかの編集エディタを利用してプログラ

30 ム記憶部73に記憶されているプロセスシミュレーションのソースファイルの物理モデルを更新し、再度プロセスシミュレーションを行う。このような作業を最も高精度な結果が得られるまで繰り返す。こうして得られた構造データを出力部79を通じてデータベース78に保存する。

【0055】図3は、図2に示したプロセスシミュレーション装置70に用いるプロセスシミュレーション部20の機能的な構成を示すブロック図である。このプロセスシミュレーション部20は、従来のプロセスシミュレーション装置と同様な構成からなり、CVD等の堆積工程、RIE等のエッチング工程、イオン注入工程、酸化工程、拡散工程などからなる一連の半導体装置の製造工程をシミュレーションする機能と、このシミュレーション結果である素子形状や半導体中の不純物分布などを出力部上に表示する機能を有する。すなわち、図3に示すように、プロセスシミュレーション部20は、操作者からのデータや命令等の入力を受け付ける入力部31と、プロセスフローをシミュレーションする機能手段を備えた処理制御部21と、シミュレーション結果を出力する出力部34と、入力データとしての半導体装置製造プロ

セスに必要な所定のデータなどを格納したデータ記憶部32と、シミュレーションプログラム等のプログラムを格納したプログラム記憶部33とから少なくとも構成されている。

【0056】ここで、処理制御部21のプロセスフローをシミュレーションする機能手段として、イオン注入工程処理手段22、酸化工程処理手段23、堆積工程処理手段24、エッチング工程処理手段25、拡散工程処理手段26等が少なくとも備えられている。例えば、堆積工程処理手段24は低温CVD、高温CVD、エビタキシャル成長、真空蒸着、スペッタリング等が含まれる。エッチング工程処理手段25としてはRIE、ECRイオンエッチング、イオンミリングや光励起エッチング等のドライエッチングの他にウェットエッチングも含まれることは無論である。入力部31はキーボード、マウス、ライトペンまたはフロッピーディスク装置などで構成される。処理制御部21は、通常のコンピュータシステムの中央処理装置(CPU)の一部を構成している。データ記憶部32およびプログラム記憶部33はCPUの内部の主記憶装置で構成しても良く、このCPUに接続された半導体ROM、半導体RAM、磁気ディスクなどの記憶装置で構成してもよい。また出力部34はディスプレイ装置やプリンタ装置などにより構成されている。

【0057】図3に示した処理制御部21で実行される各処理の入力データは、データ記憶部32に格納され、プログラム命令はプログラム記憶部33に記憶される。そしてこれらの入力データやプログラム命令は必要に応じてCPUに読み込まれ、CPUの内部の処理制御部21によって、演算処理が実行されるとともに、各工程で発生した数値情報などのデータはRAMや磁気ディスクなどのデータ記憶部32に格納される。

【0058】なお、図2において、入力部71はキーボード、マウス、ライトペンまたはフロッピーディスク装置などで構成される。処理制御部74、データ記憶部72およびプログラム記憶部73はCPU、およびこのCPUに接続された半導体ROM、半導体RAM、磁気ディスクなどの記憶装置を含む通常のコンピュータシステムで構成される。また出力部79はディスプレイ装置やプリンタ装置などにより構成されている。これらの入力部71、データ記憶部72、プログラム記憶部73及び出力部79は、図3に示したプロセスシミュレーション部20の入力部31、データ記憶部32、プログラム記憶部33及び出力部34と共にハードウェアを用いても良く、それぞれ独立なハードウェアを用いても良い。

【0059】図1に示した一連の精度検証方法を実行するためのプログラムは、コンピュータ読み取り可能な記憶媒体に保存しておいてもよい。この記憶媒体をコンピュータシステムによって読みませ、プログラム記憶部73に格納し、このプログラムを処理制御部74で実行

して本発明の第1の実施の形態に係るプロセスシミュレーション方法を実現することもできる。ここで、記録媒体とは、例えばコンピュータの外部メモリ装置、半導体メモリ装置、磁気ディスク装置、光ディスク装置、光磁気ディスク装置、磁気テープ装置などのプログラムを記録することができるような装置などが含まれる。また、図1に示した一連の精度検証処理を実行するためのデータベースも、これらのコンピュータ読み取り可能な記憶媒体に保存しておいてもよい。

【0060】ところで、このようにして作成されたデータベースを利用して、同じようなプロセス条件の下で、最も使用頻度の高い物理モデルを選ぶことができる。例えば、nMOSFETの製造工程であれば、構造パラメータのそれぞれ異なるn種類のnMOSFETについて、上述したデータベースが作成されているものとする。それぞれのnMOSFETについて製造工程(m)に着目した時、あるnMOSFETではある物理モデルが選択され、別のnMOSFETでは別の物理モデルが最も高精度な物理モデルとして選択されている。そこで、製造工程(m)に着目したとき、プロセスシミュレーション用物理モデルを、使用頻度の順に図4のようにヒストグラムとしてまとめる。図4では、製造工程(m)については物理モデル1が高精度な物理モデルとして最も高い頻度で使用されている場合である。従って、プロセスシミュレーション装置には、図4のようなヒストグラムを参照することにより、構造パラメータの類似したnMOSFETを製造する場合の製造工程(m)については物理モデル1を採用しておけば、実際の製造工程(m)を経たときの構造データの測定値として的一致がよいことが期待される。もし、測定値との一致がよくなかったとしても、図4のヒストグラムに従って、物理モデル1に次いで使用頻度が高い物理モデル2を用いて精度検証手段を実行すればよい。このように、精度検証手段において図4のヒストグラムに従って、順に物理モデルを選択していくば、効率的に精度のよい物理モデルを選択することができる。このように、図4のヒストグラムは、各物理モデルについて使用頻度の高い順に順序付けをすることによって、精度検証手段を容易にする。

40 【0061】[II. デバイスシミュレーション] 図5は、本発明の第1の実施の形態に係るデバイスシミュレーションを実行するためのフローチャートを示す。このシミュレーションの実行に際しては、図6に示す精度検証機能を有したデバイスシミュレーション装置90を用いる。図6に示すデバイスシミュレーション装置90は、デバイスシミュレーションで得られた電流-電圧特性と、実測によって得られた電流-電圧特性とを比較することによってデバイスシミュレーションプログラムに組み込まれている物理モデルの精度及び妥当性を確認することが可能な装置である。デバイスシミュレーション

装置90については、後述する。

【0062】まず、図5のフローチャートによって本発明の第1の実施の形態に係る精度検証方法を説明する。まず、所定のプロセスフローに従って作成された現実の半導体装置の電流・電圧特性を測定する(ステップ201)。一方、プロセスシミュレーション(ステップ208)によって求められた構造データを入力として、デバイスシミュレーションを行い、電流・電圧特性を求める(ステップ206)。次いで、デバイスシミュレーション結果と測定結果とを比較する(ステップ203)。もし、デバイスシミュレーションで得られた電流-電圧特性の精度が悪ければ、考えられる別の物理モデルに更新し(ステップ205)、再度デバイスシミュレーション(ステップ206)を行って実測値と比較する(ステップ203)。

【0063】ここで、デバイスシミュレーションで用いる物理モデルには大きく分けて、流体モデルと粒子モデルがある。流体モデルの枠内では、エネルギー輸送モデルや、量子効果を考慮した量子輸送モデルがある。流体モデルが妥当な条件の下では、これらのエネルギー輸送モデルや量子輸送モデルを用いて精度検証を行えばよい。しかし、MOSFETのゲート長やBJTのベース幅が小さくなってくると流体モデルが前提としている移動度モデルが成り立たなくなってくるので、流体モデルが使えないなくなってくる。このような場合、粒子モデルが必要となってくる。粒子モデルとは、モンテカルロ法を用いて個々の粒子を方程式によって記述される環境の中で運動させ、その時間・集合平均をとることでボルツマンの輸送方程式の解を得ようとするものである。しかし、粒子モデルは流体モデルに比べて計算時間が長いことが欠点である。従って、もし、粒子モデルを基礎とするデバイスシミュレーションと流体モデルを基礎とするデバイスシミュレーションとを、同じ計算時間で実行するすれば、粒子モデルを基礎とするデバイスシミュレーションは精度が低くなる。実際には、流体モデルから粒子モデルへ移行すべき境目は明らかでないので、まず計算が簡易な流体モデルによるシミュレーションを行うのが通常である。つまり、流体モデルによるシミュレーションを行った後に測定結果との比較をして流体モデルの精度を確認し、粒子モデルを用いるべきか否かを判断するのが合理的と考えられる。

【0064】図5のフローチャートに示すようなプロセスを繰り返し、デバイスシミュレーション(ステップ206)に対して、最も精度のよい物理モデルを選択する。この最もよい精度を与える物理モデルを採用したデバイスシミュレーションで得られた、半導体装置内の電位・電界・電流分布や電子・正孔などのキャリア分布、あるいは電流-電圧特性などを「デバイスデータ」としてデータベースに保存する(ステップ204)。また、プロセスシミュレーションの場合と同様に、採用した物

理モデルを使用頻度の高い順に並べたヒストグラムを作成し、データベースに保存する(ステップ204)。

【0065】図5のフローチャートに示すデバイスシミュレーションは、図6に示すデバイスシミュレーション装置90を用いて実行する。即ち、本発明の第1の実施の形態に係るデバイスシミュレーション装置90は、操作者からのデータや命令などの入力を受け付ける入力部91と、図5のフローチャートに示した一連の精度検証方法を実行する機能手段を備えた処理制御部94と、シミュレーション結果を出力する出力部99と、半導体装置の特性の解析に必要な所定のデータなどを格納したデータ記憶部92と、図5のフローチャートに示した一連の精度検証方法のプログラム及びデバイスシミュレーションプログラムなどを格納したプログラム記憶部93と、精度検証方法を実行するために必要な測定結果等を保存してあるデータベース98から少なくとも構成されている。

【0066】ここで、処理制御部94の一連の精度検証方法を実行する機能手段としては、デバイスシミュレーション部40、シミュレーション結果・測定結果比較手段96、デバイスシミュレーション用物理モデル更新手段97等があり、処理制御部94はこれらの機能手段40、96、97を少なくとも具備している。シミュレーション結果・測定結果比較手段96は、データベース98に保存されている測定結果とデバイスシミュレーション部40で求められたシミュレーション結果とを比較することによって、デバイスシミュレーション部40に組み込まれている物理モデルの精度を検証する。もし、精度が所望の値に達していないければ、デバイスシミュレーション用物理モデル更新手段97によって、データベース98から物理モデルを選択し、何らかの編集エディタを利用してプログラム記憶部93に記憶されているデバイスシミュレーションのソースファイルの物理モデルを更新し、再度デバイスシミュレーションを行う。このような作業を最も高精度な結果が得られるまで繰り返す。こうして得られた電気的特性を出力部99を介して、データベース98に保存する。

【0067】デバイスシミュレーション部40は、所定のプロセスフローに対するプロセスシミュレーションで得られた素子構造と不純物分布等の結果を入力する機能を有し、入力した構造に対して印加電圧、電流などの電気的な境界条件を設定して素子の電気的特性をシミュレーションする機能、およびその結果得られる半導体装置内の電位・電界・電流分布や電子・正孔などのキャリア分布、あるいは電流-電圧特性などを出力部上に表示する機能を有する。すなわち、図7に示すように、このデバイスシミュレーション部40は、操作者からのデータや命令などの入力を受け付ける入力部51と、半導体装置の電気的特性をシミュレーションする処理制御部61と、シミュレーション結果を出力する出力部54と、半

導体装置の特性の解析に必要な所定のデータなどを格納したデータ記憶部52と、デバイスシミュレーションプログラムなどを格納したプログラム記憶部53とから少なくとも構成されている。処理制御部61は端子電圧または電流条件を設定する電圧／電流設定手段62および素子特性計算手段63とを少なくとも有している。図7において、入力部51はキーボード、マウス、ライトペンまたはフロッピーディスク装置などで構成される。処理制御部61、データ記憶部52およびプログラム記憶部53はCPU、およびこのCPUに接続された半導体ROM、半導体RAM、磁気ディスクなどの記憶装置を含む通常のコンピュータシステムで構成される。また出力部54はディスプレイ装置やプリンタ装置などにより構成されている。

【0068】なお、図6において、入力部91はキーボード、マウス、ライトペンまたはフロッピーディスク装置などで構成される。処理制御部94、データ記憶部92およびプログラム記憶部93はCPU、およびこのCPUに接続された半導体ROM、半導体RAM、磁気ディスクなどの記憶装置を含む通常のコンピュータシステムで構成される。また出力部99はディスプレイ装置やプリンタ装置などにより構成されている。これらの入力部91、データ記憶部92、プログラム記憶部93及び出力部99は、図7に示した入力部51、データ記憶部52、プログラム記憶部53及び出力部54と共にハードウェアを用いても良く、それぞれ独立なハードウェアを用いても良い。

【0069】図5に示した一連の精度検証方法を実行するためのプログラムは、コンピュータ読み取り可能な記憶媒体に保存しておいてもよい。この記憶媒体をコンピュータシステムによって読み込まれ、プログラム記憶部93に格納し、このプログラムを処理制御部94で実行して本発明の第1の実施の形態に係るデバイスシミュレーション方法を実現することもできる。ここで、記録媒体とは、例えばコンピュータの外部メモリ装置、半導体メモリ装置、磁気ディスク装置、光ディスク装置、光磁気ディスク装置、磁気テープ装置などのプログラムを記録することができるような装置などが含まれる。

【0070】図8は第1の実施の形態におけるプロセスデータベース1、プロセスデータベース2、プロセスデータベース3、……プロセスデータベースm、とデバイスデータベースとがどのように構築されるかを示すフローチャートである。半導体装置、例えばnMOSFETが製造工程1、製造工程2、製造工程3、……製造工程mからなると仮定する。即ち、堆積工程／エッチング工程／イオン注入工程／酸化工程／拡散工程などのそれぞれの製造工程1, 2, 3, ……, mを行う（ステップ311(1), ステップ311(2), ステップ311(3), ……, ステップ331(m)）。そして、それぞれの製造工程1, 2, 3, ……, mについ

て測定1, 2, 3, ……, mを行い（ステップ312(1), ステップ312(2), ステップ312(3), ……, ステップ312(m)）、例えば、ソース領域及びドレイン領域等の接合深さ、基板の不純物密度もしくはウェルの不純物密度、ゲート酸化膜厚、ゲート長、あるいはゲート幅を求める。さらに、これらの結果をプロセスデータベース1, 2, 3, ……, mに保存する。一方、各製造工程1、製造工程2、製造工程3、……製造工程mに対応したプロセスシミュレーション1、プロセスシミュレーション2、プロセスシミュレーション3、……、プロセスシミュレーションmを行い、それぞれのシミュレーション結果と、プロセスデータベース1、プロセスデータベース2、プロセスデータベース3、……プロセスデータベースmに保存された測定結果とを図1に示すフローチャートに従い比較し、物理モデルの精度を検証し、プロセスシミュレーション用精度検証を行う（ステップ331(1), ステップ331(2), ステップ331(3), ……, ステップ331(m)）。そして、それぞれの製造工程について、最も精度のよいプロセスシミュレーション用物理モデルを選択し、それぞれのプロセスデータベース1, 2, 3, ……, mに、構造データ1, 2, 3, ……, mを保存する。MOSFETの製造工程であれば、ソース領域及びドレイン領域等の接合深さ、基板の不純物密度もしくはウェルの不純物密度、ゲート酸化膜厚、ゲート長、あるいはゲート幅等のデータがバラメータ毎に整理され、構造データとして保存されることとなる。このプロセスのデータベース1, 2, 3, ……, mには、各製造工程をモデリングするのに最適な物理モデルも格納される。さらに、各プロセスデータベース1, 2, 3, ……, mに、保存された構造データ1, 2, 3, ……, mを用いてデバイスシミュレーションを行う。そして、図5のフローチャートに従って、デバイスシミュレーション結果と測定結果とを比較して、一連のデバイスシミュレーション用精度検証を実行する（ステップ333）。このデバイスシミュレーション用精度検証を、最も高精度な結果が得られるまで繰り返し、この結果得られた電気的特性をデバイスデータベース370に保存する。このデバイスデータベース370には、対象とした半導体装置の電気的特性をモデリングするのに最適な物理モデルも格納される。

【0071】図8に示したプロセスシミュレーション用精度検証（ステップ331(1), ステップ331(2), ステップ331(3), ……, ステップ331(m)）及びデバイスシミュレーション用精度検証（ステップ333）は、図2に示すプロセスシミュレーション装置70及び図6に示すデバイスシミュレーション装置90を用いて実行すればよい。この場合は、プロセスシミュレーション装置70にプロセスシミュレーション用精度検証装置が内蔵され、デバイスシミュレーション用精度検証装置が内蔵され、デバイスシミュレーション

23

装置90にデバイスシミュレーション用精度検証装置が内蔵されていると解することが出来る。しかし、プロセスシミュレーション用精度検証装置及びデバイスシミュレーション用精度検証装置は、通常の（従来の）プロセスシミュレーション装置及びデバイスシミュレーション装置の外部に配置して、この通常のプロセスシミュレーション装置及びデバイスシミュレーション装置とリンクさせるような構成でもよい。

【0072】また、測定データのデータベースへの保存は、

- ・測定データを何らかの記録媒体に保存して、その記録媒体を読みとることにより、測定データをデータベースに保存する方法。

- ・測定装置とデータベースとをネットワークで結ぶことによって、ネットワーク経由で測定データをデータベースに保存する方法

の2通りがある。ここで、「何らかの記録媒体」とは、コンピュータの外部メモリ装置、半導体メモリ装置、磁気ディスク装置、光ディスク装置、光磁気ディスク装置、磁気テープ装置などが、該当する。より具体的には、これらの測定データを記録できるような、フロッピーディスク、CD-ROM、MOディスク、カセットテープ、オープンリールテープなどを用いればよい。

【0073】(第2の実施の形態) 図9は、本発明の第2の実施の形態に係る半導体装置のシミュレーションに用いるデータベースの構造を示す模式的なブロック図である。ここでは、半導体装置の一例として、MOSFETを取り上げ説明する。すなわち、本発明の第2の実施の形態においては、所定のプロセスフローに基づいて製作されたMOSFETの製造歩留まりとこのMOSFETのゲートしきい値電圧のばらつきを、データベースに保存する方法について説明する。

【0074】通常MOSFETは、逐次縮小投影露光装置(ステッパー)等を用いて、直径8乃至12インチのシリコンウェハー上の多数の露光領域にステップ・アンド・リピート方式で、パターニングされ、10mm乃至20mm角の各露光領域に、いわゆる「チップ」として形成される。そのため、半導体製造装置固有の原因により、ロット毎、シリコンウェハー毎、あるいは1枚のシリコンウェハー上のそれぞれの露光領域(チップ領域)のMOSFETにおいて、ゲートしきい値電圧がばらついたり、さらには露光領域(チップ領域)毎に、良品と不良品とが発生したりする。良品と不良品との発生は、製造歩留まりに直結する問題を生じさせる。そこで、あるMOSFETを製造する場合、あらかじめ、これらの製造歩留まりやゲートしきい値電圧のばらつきを予測できれば、実際に半導体装置を製造しなくても製造工程の改善が可能である。

【0075】ゲートしきい値電圧のばらつきには、チップ内ばらつき、ウェハ内ばらつき、ロット内ばらつき等

24

がある。第2の実施の形態では、このような予測を可能とするため、第1の実施の形態で説明したデータベースに、更に、「製造歩留まりデータ」と「ゲートしきい値電圧のばらつきデータ」を、例えば、各チップ毎、各ウェハ毎、各ロット毎に整理して、構造パラメータのそれぞれ異なる複数の(多数の)MOSFETについて、保存しておく。必要があれば、更にロット相互間のばらつき、装置毎のばらつき、生産工場毎のばらつき等のデータファイルを付加してもよい。

10 【0076】(1) チップ内ばらつき：ここで、ゲートしきい値電圧のチップ内ばらつきについてのデータは、次のように決める。

【0077】(1a) シリコンウェハ上の各チップ領域にN個のMOSFETが配置されているとする。まず、特定のロットの、ウェハk上のチップjに着目する。このチップj上の、それぞれのMOSFETについてゲートしきい値電圧を測定する。これをA_{ijk}とおく。iはウェハkのチップj上に配置されたi番目のMOSFETを表す。この測定をウェハkのチップj上の全てのMOSFETについて行い、平均のゲートしきい値電圧を算出する。ウェハk上のチップjの平均のゲートしきい値電圧<^cA_{jk}>は次のように求める。

【0078】

【数2】

$$\langle^c A_{jk} \rangle = \frac{1}{N} \sum_{i=1}^N A_{ijk} \quad \dots \dots \quad (2)$$

(1b) 次いで、この平均のゲートしきい値電圧を用いて、ウェハk上のチップjのゲートしきい値電圧の標準偏差^c σ_{jk} を次の式で求める。

【0079】

【数3】

$$\langle^c \sigma_{jk}^2 \rangle = \frac{1}{N} \sum_{i=1}^N \left(A_{ijk} - \langle^c A_{jk} \rangle \right)^2 \quad \dots \dots \quad (3)$$

(2) ウェハ内ばらつき：ゲートしきい値電圧のウェハ内ばらつきについてのデータは、次のように決める。

【0080】(2a) シリコンウェハk上にM個のチップ領域があるとする。まず、特定のシリコンウェハk上の各チップ領域上に配置されたそれぞれのMOSFETについてゲートしきい値電圧A_{ijk}を測定する。そして、式(2)を用いて、シリコンウェハk上のそれぞれのチップj (j=1~M)の、それぞれの平均のゲートしきい値電圧<^cA_{jk}>を求める。すると、シリコンウェハk上における平均のゲートしきい値電圧<["]A_k>は次のように求められる。

【0081】

【数4】

$$\langle \text{^nA}_k \rangle = \frac{1}{M} \sum_j^N \langle c_{A_{jk}} \rangle \dots \dots \dots (4)$$

(2 b) 次いで、この平均のゲートしきい値電圧 $\langle \# \Lambda_k \# \rangle$

$${}^w\sigma_k^2 = \frac{1}{M} \sum_j^M \left(\langle {}^c A_{jk} \rangle - \langle {}^w A_k \rangle \right)^2 \dots\dots\dots (5)$$

(3) ロット内ばらつき：ゲートしきい値電圧のロット内ばらつきについてのデータは、次のように決める。

【0083】(3a) 1ロットのシリコンウェハの枚数をL枚とする。特定のロットのすべてのシリコンウェハ k ($k=1 \sim L$)のそれぞれの平均のゲートしきい値電圧 $\langle A_k \rangle$ を式(4)を用いて算出する。この平均のゲートしきい値電圧 $\langle A_k \rangle$ を用いれば、対象とするロットの平均のゲートしきい値電圧 $\langle \text{ロット} A \rangle$ は次のように求めることが出来る。

[0084]

$$\text{LOT } \sigma^2 = \frac{1}{L} \sum_k^L \left(\langle \mathbf{A}_k \rangle - \langle \text{LOT } \mathbf{A} \rangle \right)^2 \quad \dots \quad (7)$$

以上のようにして求めた各MOSFETのゲートしきい値電圧 A_{ijk} 、各チップ j 内の平均のゲートしきい値電圧 $\langle^c A_{jk} \rangle$ 及び標準偏差 σ_{jk} 、各シリコンウェハ k 内の平均のゲートしきい値電圧 $\langle^w A_k \rangle$ と標準偏差 σ_k 、及びロット内の平均のゲートしきい値電圧 $\langle^{LOT} A \rangle$ 及び標準偏差 $^{LOT} \sigma$ を、ゲートしきい値電圧についてのデータとする。

【0086】また、MOSFETを製造したときの不良品の割合を、製造歩留まりとする。

【0087】そして、このようにして求めたゲートしきい値電圧のばらつきについてのデータ（しきい値データ） A_{ijk} , $\langle^c A_{jk} \rangle$, $\langle^n A_k \rangle$, $\langle^{LOT} A \rangle$, $c\sigma_{jk}$, $n\sigma_k$, $LOT\sigma$ 、及び製造歩留まりについてのデータ（歩留まりデータ）をデータベースに保存する。本発明の第2の実施の形態に係るMOSFETのシミュレーションにおいては、所定のプロセスフローに従って製造された、構造パラメータのそれぞれ異なる、各MOSFETそれぞれについて、上述したしきい値データ及び歩留まりデータを保存するのである。すなわち、本発明の第2の実施の形態においては、上記のしきい値データ及び歩留まりデータを保存したデータベースと、第1の実施例で説明したプロセスデータベースとデバイスデータベースとを合わせて、データベースとする。

【0088】このようにして作成されたデータベースに保存されたデータは、なるべく系統的に検索しやすいように整理されていることが望ましい。そこで、図9に示すように、データベースをいくつかの種類のファイルに分ける。

【0089】(i)一つ目は、あるMOSFETを製造するためには必要な製造工程1 製造工程2 製造工程

* >を用いて、シリコンウェハ上におけるゲートしきい値電圧の標準偏差 σ_k を次の式で求める。

〔0082〕

【数5】

※【数6】

$$\langle \text{TOT } A \rangle = \frac{1}{L} \sum_k \langle ^w A_k \rangle \dots \dots \dots (6)$$

(3c) 次いで、この平均のゲートしきい値電圧 $\langle V_{GTH} \rangle$ を用いてゲートしきい値電圧の標準偏差 σ を次の式で求める。

〔0085〕

【数7】

1

★ 3, ……製造工程mのそれぞれに対応したデータ等を、それぞれの製造工程1, 2, 3, ……, m毎にソートして、保存したプロセスデータベース・ファイル341である。即ち、図9に示すように、プロセスデータベース・ファイル341は、各製造工程1, 2, 3, ……, m毎にソートされた複数の製造工程サブ・ファイル350(1), 350(2), 350(3), ……, 350(m)に記録されている。すなわち、これらの複数の製造工程サブ・ファイル350(1), 350(2), 350(3), ……, 350(m)は、それぞれ、測定結果記録領域351-1, 2, 3, ……, m、構造データ(不純物密度、酸化膜厚等)等のシミュレーションの結果記録領域352-1, 2, 3, ……, m、シミュレーション用入力ファイル記録領域353-1, 2, 3, ……, m、さらに各製造工程についてプロセスシミュレーション用物理モデルを使用頻度の高い順に並べたヒストグラム記録領域354-1, 2, 3, ……, mとを少なくとも有している。

【0090】(ii) 二つ目は、これら製造工程を経て製造されたMOSFETの製造歩留まりを保存した歩留まりデータ・サブファイル381とゲートしきい値電圧を保存したしきい値データ・サブファイル382とからなるプロセスばらつきデータベース・ファイル380である。プロセスばらつきデータベース・ファイル380の詳細な構造を図10に示す。しきい値データ・サブファイル382は、ゲートしきい値電圧のチップ内ばらつき $\langle c_{Ajk} \rangle$ 、 $c_{\sigma_{jk}}$ を保存したデータベース382a、ゲートしきい値電圧のウェハ内ばらつき $\langle A_k \rangle$ 、 σ_k を保存したデータベース382b、及びゲートしきい値電圧のロット内ばらつき $\langle L_{OT} A \rangle$ 、 $L_{OT} \sigma$ を保存したデータベース382cである。

タベース382cに分類されている。また、歩留まりデータ・サブファイル381は、各チップ毎のデータベース381a、各ウェハ毎のデータベース381b、各ロット毎のデータベース381cに分類されている。

【0091】(iii) 三つ目は、プロセスフローを経て製造されたMOSFETの素子特性を測定した測定結果、プロセスシミュレーションによって得られた構造データを入力として実行したデバイスシミュレーション結果、このデバイスシミュレーション用入力ファイル、さらにデバイスシミュレーション用物理モデルを使用頻度の高い順に並べたヒストグラムなどを、それぞれ、測定結果記録領域371、シミュレーション結果記録領域372、シミュレーション用入力ファイル記録領域373、ヒストグラム記録領域374にソートして保存したデバイスデータベース・ファイル370である。

【0092】このようにプロセスデータベース・ファイル341、プロセスばらつきデータベース・ファイル380、及びデバイスデータベース・ファイル370の3つのファイルにデータベースを整理することのもう一つの利点は、プロセスばらつきデータベース・ファイル380から、各製造工程で使用している半導体製造装置固有の原因によるプロセスのばらつきの傾向をつかむことができるにある。すなわち、製造歩留まりとゲートしきい値電圧ばらつきのデータとなるべく多くの種類のMOSFETに関して保存しておけば、これらのデータから半導体製造装置のプロセスのばらつきに関する一般的な傾向を予測することができる利点がある。

【0093】例えば、半導体装置としてMOSFETを想定したとき、ゲート長が小さくなるほどプロセスのばらつきが顕在化してくると予想されるが、具体的にどれくらいのゲート長からそのようなばらつきが現れてくるかを決めるることは困難である。しかし、上述したデータベースにおいて、各MOSFETについてのプロセスばらつきデータベース・ファイル380をそれらMOSFETのゲート長ごとに分類しておけば、どれくらいのゲート長からプロセスのばらつきが顕在化してくるかを推定することができる。勿論、このような推定が可能となるためには、なるべく多くの半導体装置についてデータベースを整備しておく必要があることは言うまでもない。

【0094】以上では、半導体装置の一例として、MOSFETを取り上げ説明したが、本発明の第2の実施の形態に係る半導体装置はMOSFETや、ゲートしきい値電圧のばらつきが問題になるであろう絶縁ゲート型トランジスタ等に限られないことは勿論である。例えば、本発明の第2の実施の形態に係る半導体装置としては、接合型FET、MESFET、HEMT、BJT、静電誘導トランジスタ(SIT)、IGBT、サイリスタやダイオード等でも良い。発光ダイオード(LED)や半導体レーザ等の発光素子、あるいは太陽電池やアバラン

シェ・フォトダイオード(APD)等の受光素子でもよい。さらには、これらのディスクリートデバイスを少なくとも一種以上含む集積回路でも良い。そして、BJTでは「プロセスばらつきデータベース」として電流増幅率 h_{fe} のばらつきや、エミッタ注入効率のばらつきのデータを保存することが可能である。SITでは、例えば、電圧増幅率 A_v のばらつきなどを、本発明のプロセスばらつきデータベースとすることが可能である。さらに、マイクロ波トランジスタや、ミリ波デバイス等の高周波デバイスではSパラメータのばらつきをデータベースとしてもよい。すなわち、対象とするそれぞれの半導体装置に固有のばらつきをプロセスばらつきデータベースとして採用し、各ディスクリートデバイス毎、若しくは、各集積回路毎にそれぞれ固有のデータベースを構築すればよい。

【0095】(第3の実施の形態) 図11は、本発明の第3の実施の形態に係るプロセスシミュレーションを説明するための模式的なブロック図である。半導体装置を製造する場合、あらかじめプロセスフローを決めておく。この時、このプロセスフローから予想される製造歩留まりやゲートしきい値電圧のばらつきなどの「プロセスのばらつき」や、その他の素子特性を劣化させる要因を定量的に見積もれれば、実際に半導体装置を製造しなくても製造工程の改善が可能である。この製造工程の改善を効率的に進めるためには、プロセスのばらつきをなるべく正確に予測する必要がある。

【0096】そのため、現在製造しようと計画している半導体装置のプロセスフローを、過去に実施したプロセスフローと比較して、最も類似している過去の製造工程を検索し、検索した製造工程でのプロセスのばらつきをもって、現在製造しようとしている半導体装置の「プロセスのばらつき」の見積とする。

【0097】ここで問題となるのは、プロセスフロー同士をいかに比較するか、ということである。以下の説明では、半導体装置の一例として、第2の実施の形態と同様に、MOSFETを取り上げる。

【0098】図11は、MOSFETのプロセスフロー同士を比較する場合を説明する図である。

【0099】(イ)まず、所定のプロセス条件を図3で説明したプロセスシミュレーション部20の入力部31に入力する。そして、プロセスシミュレーション部20の処理制御部21でプロセスシミュレーションを行い、入力したプロセス条件から予測されるソース/ドレン領域の接合深さ、基板の不純物密度(もしくはウェルの不純物密度)、ゲート酸化膜厚、ゲート長等を構造データとして出力する。

【0100】(ロ)次いで、これらの構造データを検索装置403に入力すると、検索装置403はデータベース340のプロセスデータベースを検索し、入力した構造データに最も近い構造データを検索する。この構造デ

ータの検索は、次に説明する方法を用いる。すなわち、まず入力した構造データのゲート長に最も近いゲート長を持つMOSFETを検索する。このようなMOSFETからなるグループをグループAとする。

【0101】次いで、グループAの中で入力した構造データの酸化膜厚に最も近いゲート酸化膜厚を与えるMOSFETを検索する。このようなMOSFETからなるグループをグループBとする。

【0102】次いで、グループBの中で入力した構造データの基板の不純物密度に最も近い基板の不純物密度を持つMOSFETを検索する。このようなMOSFETからなるグループをグループCとする。

【0103】次いで、グループCの中で入力した構造データのソース／ドレイン領域の接合深さに最も近い接合深さを持つMOSFETを検索する。このようなMOSFETからなるグループをグループDとする。

【0104】このようにして求められたグループDが入力した構造データに最も類似している構造データである。図10にプロセスばらつきデータベース・ファイル380の詳細な構造を示してあるように、このグループDに属しているMOSFETのそれぞれについて、歩留まりデータ・サブファイル381としきい値データ・サブファイル382がデータベース340に保存されている。したがって、検索装置403は、データベース340からそれらを選択する。このようにして検索された製造歩留まりとゲートしきい値電圧ばらつきについてのデータは、グループD内のそれぞれのMOSFETの種類に応じて違ってくる可能性があるが、入力した構造データを与えるプロセスフローのプロセスばらつきについてのおおよその目安を与える。

【0105】このように、本発明の第3の実施例によれば、半導体装置を試作することなくプロセスばらつきを予測できる。また、それらのプロセスばらつきを律速している個別の製造工程を抽出し検討できる。したがって、製造歩留まりが向上するように製造工程を改善することが容易になる。しかし、そのためには、プロセスフロー同士の比較が精度よく行われなければならない。従って、なるべく多くの製造工程について上述した精度検証手段を行い、構造データをデータベースに蓄えておく必要があることは言うまでもない。

【0106】本発明の第3の実施の形態に係る半導体装置としては、接合型FET、MESFET、HEMT、BJT、SIT等のディスクリートデバイスやこれらを含む集積回路でも良いことは第2の実施の形態と同様である。

【0107】(第4の実施の形態) 図12は、本発明の第4の実施の形態に係るデバイスシミュレーションを説明するための模式的なブロック図である。第4の実施の形態では、効率的にデバイスシミュレーションを実行するためのデバイスシミュレーション装置の構成を説明す

る。まず、プロセスシミュレーション部20の入力部に、対象となっている半導体装置のプロセスフローに必要な条件を入力し、プロセスシミュレーションを行う。次いで、このプロセスシミュレーションで得られた構造データを図12に示す検索装置403に入力する。すなわち、第3の実施の形態で説明したように、データベース340を検索することにより入力された構造データに最も近い構造データを選択する。図9に詳細な構造を示してあるように、データベース340にはプロセスデータベース・ファイル341に対応したデバイスデータベース・ファイル370が蓄積されている。したがって、選択した構造データに対応したデバイスデータベース・ファイル370のシミュレーション用入力ファイル記録領域373から、その構造データを入力としたデバイスシミュレーションに用いた入力ファイルを選択する。選択された入力ファイルは、図7で説明したデバイスシミュレーション部40の入力部51に入力される。

【0108】この入力ファイルは、必ずしも所望の目的に添って書かれているわけではないので、目的に応じて書き換えることが必要となる。しかし、入力ファイルを全て自力で作成する場合に比べて入力ファイルを作成する労力は大幅に軽減される。このようにして作成された入力ファイルはデバイスシミュレーション部40の処理制御部61に入力され、デバイスシミュレーションが実行される。

【0109】(第5の実施の形態) 次に、本発明の第5の実施の形態に係る半導体装置の製造方法を説明する。この本発明の第5の実施の形態は、LSI開発を高精度且つ迅速に実行する技術に関するものである。

【0110】図13に示すLSI開発の手順を示すフローチャートに従って本発明の第5の実施の形態に係る半導体装置の製造方法を説明する。

【0111】(イ)まず、所定の特性・仕様に対して概略のデバイス構造の選択や設計がなされる。そしてこの概略のデバイス構造を実現するためのプロセス設計をするためのプロセスシミュレーションがなされる(ステップ901)。このプロセスシミュレーションは、原料とそれに施す製造手順と、その製造手順における個々の工程条件を入力として与え、その製造工程で形成される不純物分布やその他の素子構造等の構造データを計算する。

【0112】(ロ) 次に、ステップ901の結果として、MOSFETの製造工程であれば、ソース領域及びドレイン領域等の接合深さ、基板の不純物密度もしくはウェルの不純物密度、ゲート酸化膜厚、ゲート長等の構造データを抽出する(ステップ902)。

【0113】(ハ) 次に、データベースを検索し(ステップ903)、類似した構造データを抽出する。この抽出結果を参照して、更に、しきい値ばらつきデータと歩留まりデータを抽出する(ステップ904)。

31

【0114】(二)その後、構造データ、しきい値ばらつきデータ及び歩留まりデータが所望の特性や品質を与える範囲内に収まっているか否か判定を行う(ステップ905)。構造データ、しきい値ばらつきデータ及び歩留まりデータが所望の範囲内に収まっていなければ、ステップ906に進み、製造工程の改善を行う。この改善された製造工程を基礎として、新たな工程条件を入力として与えて、再びプロセスシミュレーションがなされる(ステップ901)。一方、構造データ、しきい値ばらつきデータ及び歩留まりデータが所望の範囲内に収まっていたれば、構造データと外部から素子に附加する電気的な条件とを入力として、その素子の電気的な特性を得るデバイスシミュレーションを行う(ステップ907)。

【0115】(ホ)次に、このデバイスシミュレーションにより、得られた電気的特性が作ろうとしている所望の電気的特性になるかどうかを調べる(ステップ908)。ステップ908で所望の電気的特性であると判定されれば、実際の半導体装置の製造工程に取りかかる(ステップ909)。しかし、もし、ステップ908で、所望の電気的特性にならないと判定されれば、考えた製造工程では作りたい素子は作れないので、製造工程の条件の変更や、工程の順番など手順そのものの変更等の製造工程の改善を行う(ステップ906)。そして、再度プロセスシミュレーション(ステップ901)と、このプロセスシミュレーションの結果を入力データとするデバイスシミュレーションを行う(ステップ907)。以上の作業をステップ908で所望の電気的特性を有すると判定されるまで繰り返し行って、合格ならば、半導体装置を実際に製造する(ステップ909)。

【0116】図13に示す手順に従えば、半導体装置を実際に製造することなく設計の誤りや不完全性が未然に発見され、効率的にLSIの設計・開発が可能となる。特に本発明の第5の実施の形態に係る半導体装置の製造方法によれば、実際に製造する前に、製造歩留まりやデータしきい値電圧のばらつきなどの「プロセスのばらつき」を定性的に見積もることが出来る。さらに、他の素子特性を劣化させる要因等をも定性的に見積もることが出来る。従って、無駄(若しくはよけい)な試作を省略することが可能であるため、開発のターンアラウンドタイムや試作に係わるコストを低減することが出来る。

【0117】(その他の実施の形態)上記のように、本発明は第1乃至第5の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0118】たとえば、図2や図7において、本発明の精度検証手段を備えたプロセスシミュレーション装置とデバイスシミュレーション装置の模式的な構成を一例

32

として示したが、これらの構成は適宜変更可能である。つまり、プロセスシミュレーション装置やデバイスシミュレーション装置にプロセスシミュレーション用精度検証装置やデバイスシミュレーション用精度検証装置が内蔵されている構成でもよく、プロセスシミュレーション用精度検証装置及びデバイスシミュレーション用精度検証装置が、通常の(従来の)プロセスシミュレーション装置及びデバイスシミュレーション装置の外部に配置され、互いにリンクさせるような構成でも良く、さらにこれらの中間形態等の種々の变形が可能である。

- 【0119】図14は上述した精度検証手段を備えたプロセスシミュレーション装置とデバイスシミュレーション装置およびデータベースとを同一のハードウェアで実現した半導体シミュレーション装置の概観を示す鳥瞰図である。この半導体シミュレーション装置80の本体は、プロセスシミュレーション部、デバイスシミュレーション部、シミュレーション結果・測定結果比較手段、プロセスシミュレーション用物理モデル更新手段及びデータベース等を内蔵し、さらにフロッピーディスク装置(フロッピーディスクドライブ)81および光ディスク装置(光ディスクドライブ)82を備えている。フロッピーディスクドライブ81に対してはフロッピーディスク83を、また光ディスクドライブ82に対してはCD-ROM84をその挿入口から挿入し、所定の読み出し操作を行うことにより、これらの記録媒体に格納されたプログラムをシステム内にインストールすることができる。また、所定のドライブ装置を接続することにより、例えばゲームバック等に利用されているメモリ装置としてのROM85や、磁気テープ装置としてのカセットテープ86を用いることもできる。これらの記録媒体にデータベースを記録させても良く、さらにデータベース専用の外部記録装置を設けても良い。第2の実施の形態においては、プロセスデータベース・ファイル341、プロセスばらつきデータベース・ファイル380、及びデバイスデータベース・ファイル370の3種類のデータベース・ファイルを示した。プロセスデータベース・ファイル341及びデバイスデータベース・ファイル370には、シミュレーション用物理モデルを使用頻度の高い順に並べたヒストグラム記録領域354-1, 2, 3, ……, m, 374が含まれている。しかし、本発明においてはこれらのすべてのデータベース・ファイルが必ずしも必要ではない。第1の実施の形態では、上記3種類のデータベース・ファイルの内から、プロセスばらつきデータベース・ファイル380が省略された例である。また、第5の実施の形態では、シミュレーション用物理モデルを使用頻度の高い順に並べたヒストグラム354-1, 2, 3, ……, m, 374が明示されていない例である。したがって、本発明のデータベースの内容は、適宜変更可能と解すべきである。
- 【0120】第5の実施の形態では、物理モデルの選択

や更新の処理が明示されていない。しかし、第5の実施の形態と第1の実施の形態とを組み合わせて、複数の物理モデルから所定の物理モデルを選択し、最適なモデルに更新するようにできることは、本発明の技術的思想を理解すれば容易に理解できるであろう。すなわち、図13に示すステップ901におけるプロセスシミュレーションやステップ907におけるデバイスシミュレーションは、データベースとして構築された物理モデルのヒストグラムを参照して、最適と判断される物理モデルを複数の物理モデルの内から選択するように構成しても良い。この物理モデルのヒストグラムの作成は、第1の実施の形態で説明したような精度検証を行い、最も高精度な結果を与える物理モデルについてのデータを蓄積すればよい。即ち、図13に示すステップ904で実際に製造した半導体装置の構造データとシミュレーション結果とを比較し、ステップ908で実際に製造した半導体装置の電気的特性とシミュレーション結果とを比較する処理を含むように、フローチャートを変形すればよい。つまり、変形したステップ905またはステップ908で、一致がよいと判断され、シミュレーションに最終的に採用された物理モデルをデータベース中のヒストグラムに追加・保存するようにして、半導体装置の製造の度に、データを蓄積する処理を統ければよい。そして、ステップ906では、製造工程の条件の変更や工程の順番などの変更等の製造工程の改善の処理と並列して、物理モデルの変更の処理を実行するようにプロセスフローを変形すればよい。

【0121】このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【0122】

【発明の効果】以上説明したように、本発明によれば、採用する物理モデルの選択、半導体装置製造工程の変更や改善を迅速且つ容易に実行できる半導体装置の製造方法を実現できる。すなわち、新型デバイスの設計・開発時等の新たな設計論が要求されるような場合においてより有利な効果を奏する。例えば、微細寸法化が進んだパリスティックトランジスタ、理想型SIT、トンネル注入型トランジスタ等の設計において問題となる古典論から量子力学への物理モデルの転換等が要求される場合のデバイスシミュレーションに顕著な効果を有する。したがって、バイオニアインベンション的新型半導体装置の、研究・開発の効率が向上する。

【0123】また、本発明によれば、量産レベルで問題になる製造歩留まりやゲートしきい値電圧のばらつきなどの「プロセスのばらつき」を、実際に半導体装置を製造しなくても見積もることが出来るので、短時間且つ高効率の半導体装置の製造方法を実現できる。

【0124】さらに、本発明によれば、効率的に高精度な結果を得ることができる半導体シミュレーション装置を提供することができる。

【0125】さらに、本発明によれば、製造歩留まりやプロセスばらつきを、実際に半導体装置を製造しなくても見積もることができる半導体シミュレーション装置を提供することができる。

【0126】さらに、本発明によれば、採用する物理モデルの選択、半導体装置製造工程の変更や改善を迅速且つ容易に実行し、より精度の高いシミュレーション結果を短時間で得ることが可能な半導体シミュレーション方法を提供することができる。

【0127】さらに、本発明によれば、製造歩留まりやプロセスばらつきを、実際に半導体装置を製造しなくても見積もることができる半導体シミュレーション方法を提供することができる。

【0128】さらに、本発明によれば、効率的に高精度な結果を得ることができる半導体シミュレーションプログラムを格納したコンピュータ読み取り可能な記録媒体を提供することができる。

【0129】さらに、本発明によれば、製造歩留まりやプロセスばらつきを、実際に半導体装置を製造しなくても見積もることができる半導体シミュレーションプログラムを格納したコンピュータ読み取り可能な記録媒体を提供することができる。

【0130】さらに、本発明によれば、高速・高効率・高精度な半導体シミュレーションの実行に必要なデータベースを格納したコンピュータ読み取り可能な記録媒体を提供することができる。

【0131】さらに、本発明によれば、量産レベルで問題になる製造歩留まりやゲートしきい値電圧のばらつきなどの「プロセスのばらつき」データからなるデータベースを記録した記録媒体を提供することにより、実際に半導体装置を製造しなくともシミュレーションで、これらを見積もることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る精度検証を伴ったプロセスシミュレーションの処理を示すフローチャートである。

【図2】本発明の第1の実施の形態に係る精度検証機能を有するプロセスシミュレーション装置を示す模式的なブロック図である。

【図3】本発明の第1の実施の形態に係るプロセスシミュレーション部の概略を示すブロック図である。

【図4】本発明の第1の実施の形態に係る物理モデルの使用頻度のヒストグラムを示す。

【図5】本発明の第1の実施の形態に係る精度検証を伴ったデバイスシミュレーションの処理を示すフローチャートである。

【図6】本発明の第1の実施の形態に係る精度検証機能

35

を有するデバイスシミュレーション装置を示す模式的なブロック図である。

【図7】本発明の第1の実施の形態に係るデバイスシミュレーション部の概略を示すブロック図である。

【図8】本発明の第1の実施の形態に係るデータベースの構成方法を示すフローチャートである

【図9】本発明の第2の実施の形態に係るデータベースの構造の詳細を示す模式的なブロック図である。

【図10】本発明の第2の実施の形態に係るプロセスばらつきデータベースの構造の詳細を示す模式的なブロック図である。

【図11】本発明の第3の実施の形態に係るプロセスシミュレーションを説明するための模式的なブロック図である。

【図12】本発明の第4の実施の形態に係るデバイスシミュレーションを説明するための模式的なブロック図である。

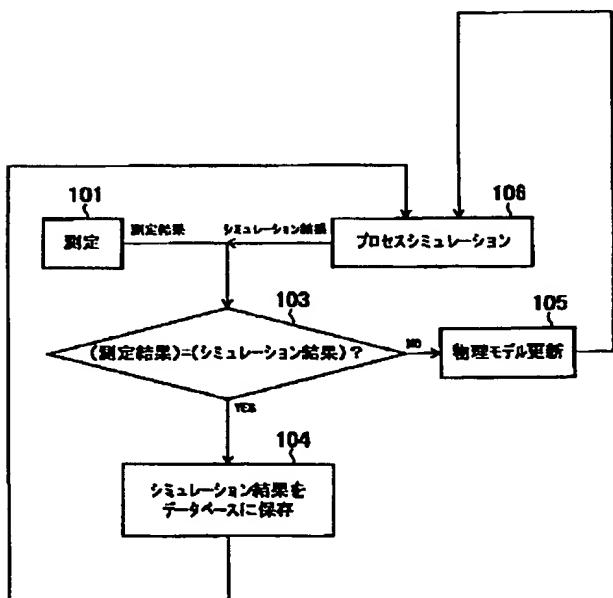
【図13】本発明の第5の実施の形態に係る半導体装置の製造方法を説明するためのフローチャートである。

【図14】本発明の半導体シミュレーション装置の外観を示す鳥瞰図である。

【符号の説明】

- 20 プロセスシミュレーション部
- 21, 61, 74, 94 処理制御部
- 22 イオン注入工程処理手段
- 23 酸化工程処理手段
- 24 堆積工程処理手段
- 25 エッティング工程処理手段

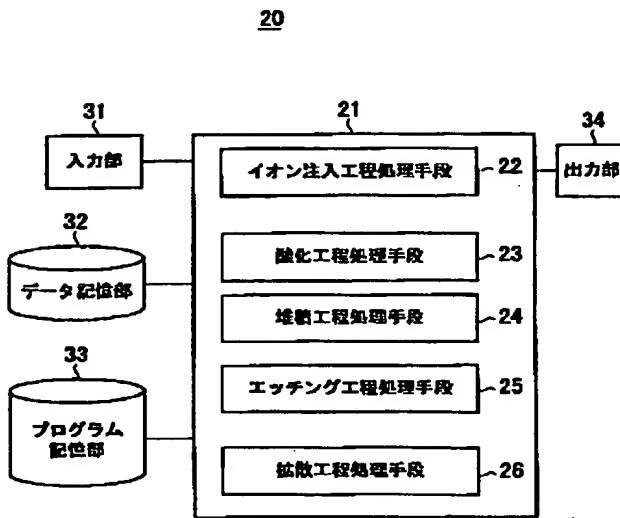
【図1】



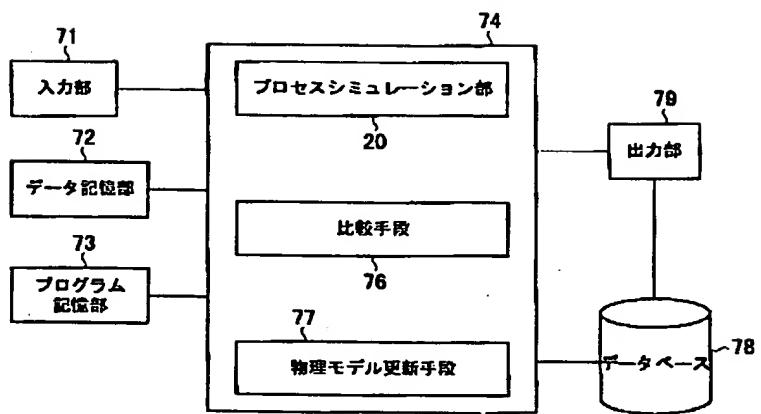
36

- | | |
|----------------|------------------------|
| 26 | 拡散工程処理手段 |
| 31, 51, 71, 91 | 入力部 |
| 32, 52, 72, 92 | データ記憶部 |
| 33, 53, 73, 93 | プログラム記憶部 |
| 34, 54, 79, 99 | 出力部 |
| 40 | デバイスシミュレーション部 |
| 62 | 電圧／電流設定手段 |
| 63 | 素子特性計算手段 |
| 70 | プロセスシミュレーション装置 |
| 76, 96 | シミュレーション結果・測定結果比較手段 |
| 77 | プロセスシミュレーション用物理モデル更新手段 |
| 78, 98, 340 | データベース |
| 80 | 半導体シミュレーション装置 |
| 81 | フロッピーディスクドライブ |
| 82 | 光ディスクドライブ |
| 83 | フロッピーディスク |
| 84 | CD-ROM |
| 85 | ROM |
| 86 | カセットテープ |
| 90 | デバイスシミュレーション装置 |
| 97 | デバイスシミュレーション用物理モデル更新手段 |
| 341 | プロセスデータベース・ファイル |
| 370 | デバイスデータベース・ファイル |
| 380 | プロセスばらつきデータベース・ファイル |
| 381 | 歩留まりデータ・サブファイル |
| 382 | しきい値データ・サブファイル |
| 403 | 検索装置 |

【図3】

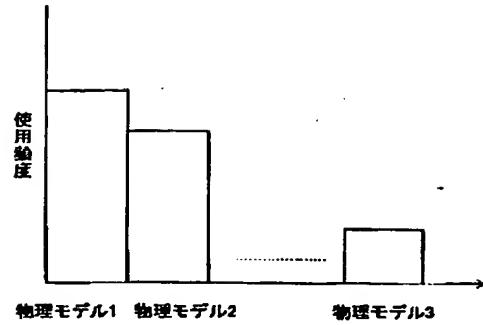


【図2】

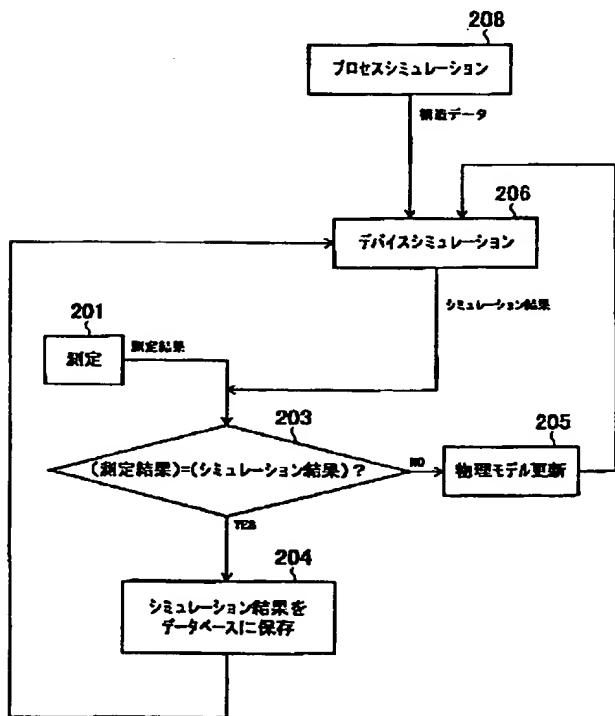
70

【図4】

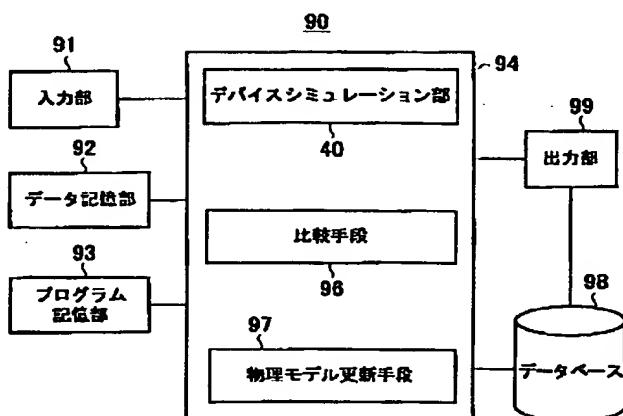
製造工程(a)



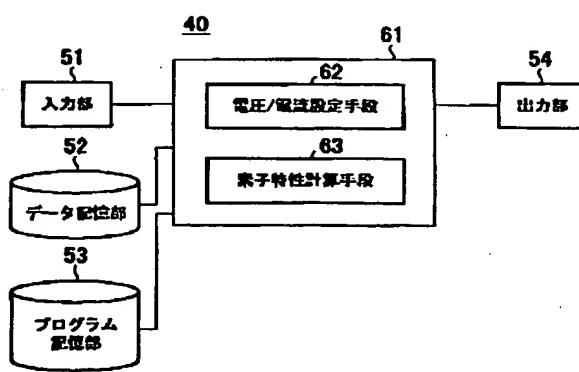
【図5】



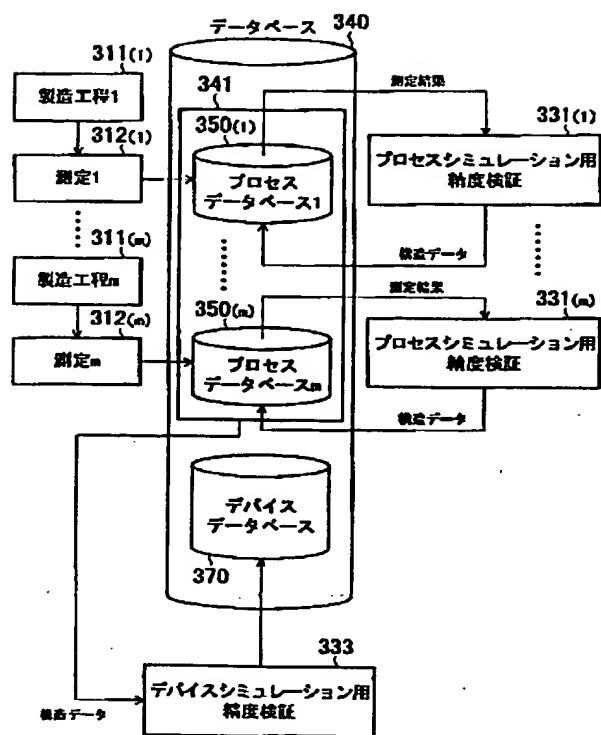
【図6】



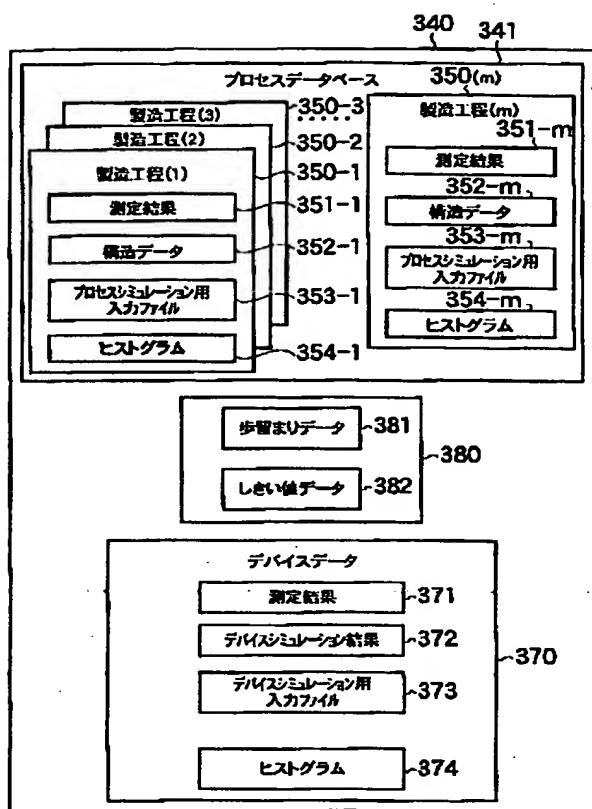
【図7】



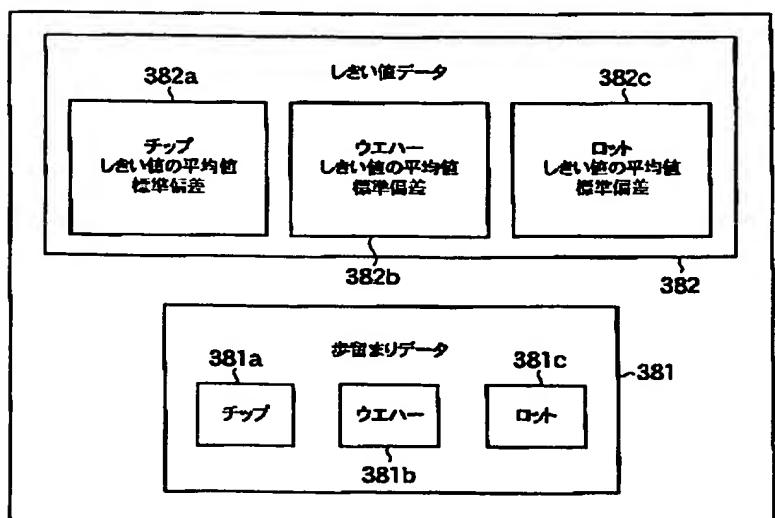
【図8】



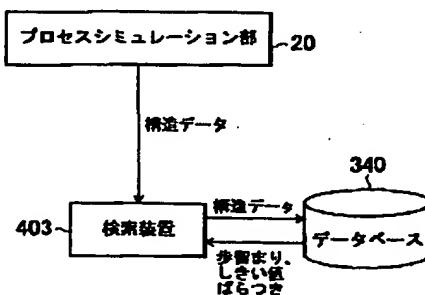
【図9】



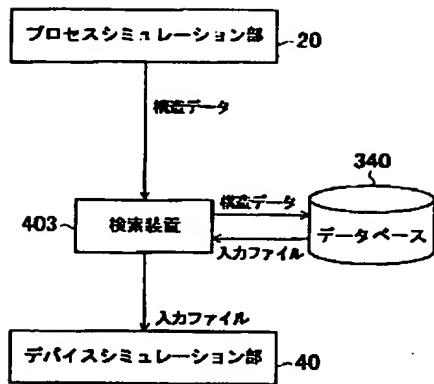
【図10】



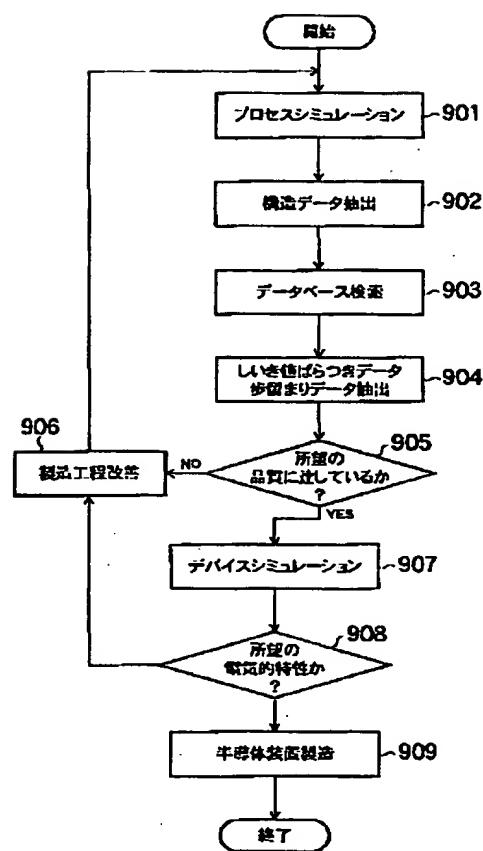
【図11】



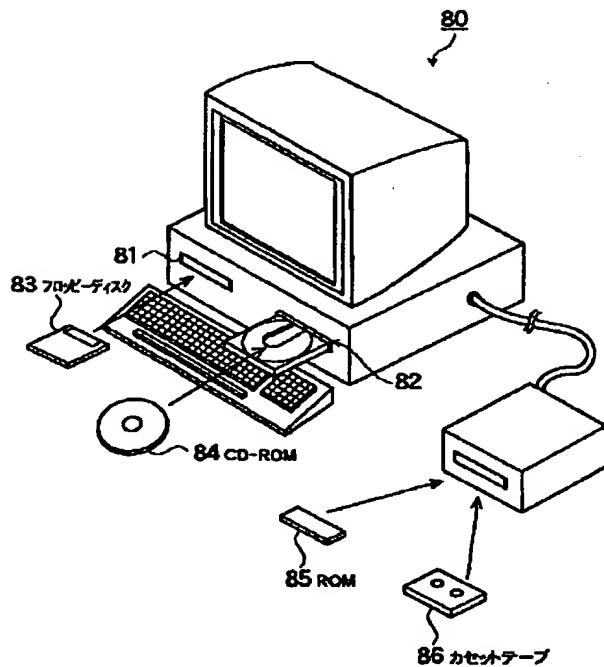
【図12】



【図13】



【図14】



WEST

X 1, 2, 5, 9, 10

L11: Entry 7 of 12

File: DWPI

Nov 30, 1999

DERWENT-ACC-NO: 2000-081543

DERWENT-WEEK: 200007

COPYRIGHT 2001 DERWENT INFORMATION LTD

TITLE: Simulation system in semiconductor device manufacture for LSI - compares simulation value and actual physical value of semiconductor device and updates simulation value database based on comparison result

PATENT-ASSIGNEE:

ASSIGNEE	CODE
TOSHIBA KK	TOKE

PRIORITY-DATA: 1998JP-0138873 (May 20, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 11330449 A	November 30, 1999	N/A	022	H01L029/00

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-NO	DESCRIPTOR
JP 11330449A	May 20, 1998	1998JP-0138873	N/A

INT-CL (IPC): G06F 9/44; G06F 13/00; H01L 21/00; H01L 29/00

ABSTRACTED-PUB-NO: JP 11330449A

BASIC-ABSTRACT:

NOVELTY - A database is referred for simulating a semiconductor device and computing data required for actual device manufacture. The actual measurement and simulation results are compared, for updating the simulation model. The process is repeated till simulation model value and physical model value coincides and database is updated before simulation model for another semiconductor device is generated. DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following: simulation method; simulation program; simulation data; semiconductor device manufacture

USE - For manufacturing semiconductor devices used in LSI.

ADVANTAGE - As the updating simulation value is performed with reference to actual computed physical value of semiconductor device, flexibility of manufacturing process is enhanced and a semiconductor device of high efficiency is realizable.

CHOSEN-DRAWING: Dwg.1/14

TITLE-TERMS: SIMULATE SYSTEM SEMICONDUCTOR DEVICE MANUFACTURE LSI COMPARE SIMULATE VALUE ACTUAL PHYSICAL VALUE SEMICONDUCTOR DEVICE UPDATE SIMULATE VALUE DATABASE BASED COMPARE RESULT

DERWENT-CLASS: T01 U11

EPI-CODES: T01-E01C; T01-F05E; T01-J05B4P; T01-J15A2; T01-S03; U11-G;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-064806